

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-353090

(P2000-353090A)

(43) 公開日 平成12年12月19日(2000.12.19)

(51) Int.Cl.<sup>7</sup> 識別記号  
G 0 6 F 9/38 3 1 0  
9/30 3 5 0  
3 7 0  
3 5 0

F I	テーコード(参考)	
G 0 6 F	9/38	3 1 0 F
		3 5 0 A
		3 7 0 X
	9/30	3 5 0 F
		3 5 0 G

審査請求 有 請求項の数 3 OL (全 55 頁)

(21)出願番号 特願2000-145123(P2000-145123)  
(62)分割の表示 特願平5-502150の分割  
(22)出願日 平成4年7月7日(1992.7.7)  
  
(31)優先権主張番号 07/727006  
(32)優先日 平成3年7月8日(1991.7.8)  
(33)優先権主張国 米国(U.S.)

(71) 出願人 000002369  
セイコーワブソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72) 発明者 グエン, レ トロン  
アメリカ合衆国 95030 カリフォルニア  
州 モンテ セレノ ダニエル ブレイス  
15096

(72) 発明者 レンツ, デレク ジェイ.  
アメリカ合衆国 95032 カリフォルニア  
州 ロス ゲイトス フィリップス アヴ  
エニュー 17400

(74) 代理人 100092495  
弁理士 蛭川 昌信 (外7名)

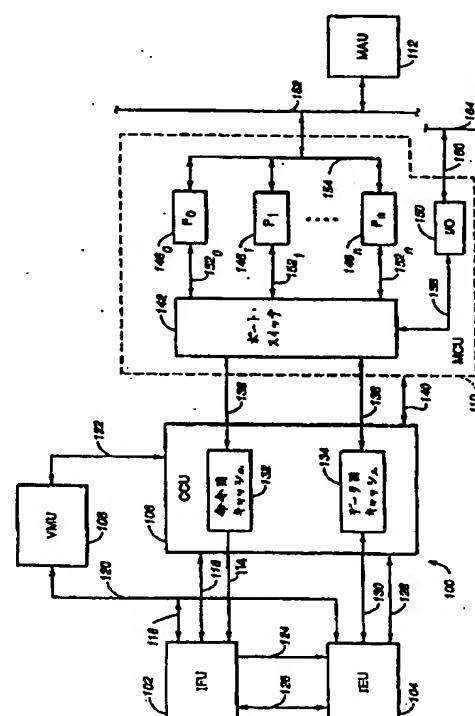
最終頁に統く

(54) 【発明の名称】 スーパースカラー型マイクロプロセッサ

(57) 【要約】

【課題】 マイクロプロセッサで実現するのに適した高性能のRISCベースのスーパースカラー型プロセッサ・アーキテクチャを提供する。

【解決手段】 命令セットを命令ストアからフェッチして解釈し実行するためのマイクロプロセッサであって、レジスタを参照する命令を含む、実行すべき予め定めた命令セットを得る命令セット取得手段と、予め定めたレジスタと一時レジスタとを含む複数のレジスタにデータをストアするデータストア手段と、命令セット取得手段に結合され、予め定めた命令セットを順次に実行するための手段であって、順序外で実行される命令によって処理されたデータを、一時レジスタにストアすることを指示し、順序外で実行される命令によって参照されるレジスタが前記予め定めたレジスタである実行手段とを備えたものである。



(2)

## 【特許請求の範囲】

【請求項1】複数の命令を含む命令セットを命令ストアからフェッチして解釈し、実行するためのマイクロプロセッサであって、レジスタを参照する命令を含む、実行すべき予め定めた命令セットを得るための命令セット取得手段と、予め定めたレジスタと一時レジスタとを含む複数のレジスタにそれぞれのデータをストアするためのデータストア手段と、前記命令セット取得手段に結合され、前記予め定めた命令セットを順次に実行するための手段であって、順序外で実行される命令によって処理されたデータを、前記一時レジスタにストアすることを指示し、順序外で実行される命令によって参考されるレジスタが前記予め定めたレジスタである実行手段と、

を備えたことを特徴とするスーパースカラー型マイクロプロセッサ。

【請求項2】前記実行手段は、キャリー及びレジスタ依存関係の制約を条件として、特定の命令を順序外で実行させることを特徴とする請求項1記載のスーパースカラー型マイクロプロセッサ。

【請求項3】前記実行手段は、複数の命令を順序外で実行するために、先行する複数の命令を同時に退避する退避手段を有していることを特徴とする請求項1記載のスーパースカラー型マイクロプロセッサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、RISC型マイクロプロセッサ・アーキテクチャの設計に関し、具体的には、複数の命令を同時平行に実行することのできるRISCマイクロプロセッサ・アーキテクチャに関する。なお、以下に列挙した米国特許出願は本件特許出願と同時に米国特許出願され、係属中のものであるが、これらの米国特許出願に開示されており、かつそれぞれ対応して出願された日本での特許出願に開示されている事項は、その出願番号を本明細書で引用することにより本明細書の一部を構成するものとする。

(1) 発明の名称「拡張可能RISCマイクロプロセッサ・アーキテクチャ」(Extensible RISC Microprocessor Architecture) SMOS 7985 MCF/GBR, 米国特許出願第07/727, 058号) 1991年7月8日出願、発明者Le T. Nguyen他、およびこれに対応する特願平5-502153号(特表平6-501124号公報)。

(2) 発明の名称「アーキテクチャ上の依存関係を隔離したRISCマイクロプロセッサ・アーキテクチャ」(RISC Microprocessor Architecture with isolated Architectural Dependencies) 50

SMOS 7987 MCF/GBR, 米国特許出願第07/726, 744号、1991年7月8日出願、発明者Le T. Nguyen他、及びこれに対応する特願平5-502152号(特表平6-502034号公報)。

(3) 発明の名称「複数型レジスタ・セットを採用したRISCマイクロプロセッサ・アーキテクチャ」(RISC Microprocessor Architecture Implementing Multiple Typed Register Sets) SMOS 7988 MCF/GBR/RCC, 米国特許出願第07/726, 773号、1991年7月8日出願、発明者Sanjiv Garg他、及びこれに対応する特願平5-502403号(特表平6-501805号公報)。

(4) 発明の名称「高速トラップと例外状態をインプリメントしたRISCマイクロプロセッサ・アーキテクチャ」(RISC Microprocessor Architecture Implementing Fast Trap and Exception State) SMOS 7989 MCF/GBR/WSW, 米国特許出願第07/726, 942号、1991年7月8日出願、発明者Le T. Nguyen他、及びこれに対応する特願平5-502154号(特表平6-502035号公報)。

(5) 発明の名称「シングル・チップ・ページ・プリンタ・コントローラ」(Single Chip Page Printer Controller) SMOS 7991 MCF/GBR, 米国特許出願第07/726, 929号、1991年7月8日出願、発明者Derek J. Lentz他、及びこれに対応する特願平5-502149号(特表平6-501586号公報)。

(6) 発明の名称「複数の異種プロセッサをサポートすることができるマイクロプロセッサ・アーキテクチャ」(Microprocessor Architecture Capable of Supporting Multiple Heterogeneous Processors) SMOS 7992 MCF/WM B, 米国特許出願第07/726, 893号、1991年7月8日出願、発明者Derek J. Lentz他、及びこれに対応する特願平5-502151号(特表平6-501123号公報)。

【0002】本明細書の記述は本件出願の優先権の基礎たる米国特許出願07/727, 066号の明細書の記載に基づくものであって、当該米国特許出願の番号を参照することによって、当該米国特許出願の明細書の記載内容が本明細書の一部分を構成するものとする。

## 【0003】

【従来の技術】近年、マイクロプロセッサ・アーキテク

(3)

3

チャの設計は複合命令セット・コンピュータ (C I S C - Complex Instruction Set Computer) アーキテクチャを採用したものから、より単純化された縮小命令セット・コンピュータ (R I S C - Reduced Instruction Set Computer) アーキテクチャを採用したものまでに発達している。C I S C アーキテクチャは大部分がハードウェアで命令実行パイプラインを実現し、サポートしていることを特徴としている。従来のパイプライン構造の代表的なものは、命令フェッチ、命令デコード、データ・ロード、命令実行、データ・ストアのステージからなり、これらの順序は固定している。命令セットの異なる部分をパイプラインのそれぞれのステージを通して同時平行に実行すると、パフォーマンス上の利点が得られる。パイプラインを長くすると、利用できる実行ステージの数が増加し、同時平行に実行できる命令数が増加する。

【0004】C I S C パイプライン・アーキテクチャの効率を制約する一般的な問題として、2つある。最初の問題は、先に実行される条件コード設定命令がパイプラインを通して実質的に実行を完了するまで、条件付ブランチ命令が正しく評価できないことである。従って、そのあとに続く条件付命令の実行が遅延または停止 (s t a l l) されるので、いくつかのパイプライン・ステージが数プロセッサ・サイクルの間インアクティブ (i n a c t i v e) 、すなわち不動作のままになっている。代表例として条件コードは実行ステージを通してある命令の処理が完了したときだけ、プロセッサ状況レジスタ (P S R) とも呼ばれる条件コード・レジスタに書かれている。そのために、ブランチ条件コードが判断されるまでの数プロセッサ・サイクルの間、条件付きブランチ命令をデコード・ステージにおいていたままパイプラインを停止させなければならない。パイプラインが停止すると、スループットの損失が大になる。さらにコンピュータの平均スループットはプログラム命令ストリームの中で条件付きブランチ命令が条件コード設定命令のあとに近接して現れる頻度によって左右される。

【0005】第2の問題は、プログラム命令ストリームの中で近接して置かれている命令がプロセッサ・レジスタ・ファイルの同じレジスタを参照する傾向があることから起こる問題である。データ・レジスタは、連続する命令のストア・ステージとロード・ステージにおいてデータの宛先、またはソースとして頻繁に使用されている。一般的にデータをレジスタ・ファイルにストアする命令が少なくとも1つの実行ステージを通して処理を完了してからでなければ、後続命令のロード・ステージ処理でレジスタ・ファイルをアクセスすることができないようになっている。多数の命令を実行するには、ストア・データを得るために1実行ステージで複数のプロセッサ・サイクルを必要とするので、実行ステージのオペレ

ーションが続いている間、パイプライン全体が停止しているのが代表的である。その結果、コンピュータの実行スループットは、命令ストリームが実行される順序に左右されることになる。

【0006】第3の問題は、命令自体の実行から起こる問題ではなく、マイクロプロセッサ自体のハードウェア・サポートによる命令実行環境の維持、すなわち、マシンの状態 (s t a t e - o f - m a c h i n e) から起こる問題である。現在のC I S C マイクロプロセッサのハードウェア・サブシステムは、命令の実行中にトラップ条件が現れると、それを検出できるようになっている。各トラップを処理するには、対応するトラップ処理ルーチンをプロセッサに実行させる必要がある。トラップが検出されたとき、実行パイプラインをクリアして、トラップ処理ルーチンが即時に実行できるようにする必要がある。同時にトラップが現れた正確な個所で、そのときのマシンの状態を設定しなければならない。この正確な個所は、そのとき実行中の最初の命令が割り込みとトラップのために完了したときと、例外のために実行されなかった命令の直前に現れる。そのあと、マシンの状態と、この場合も、トラップの内容に応じて実行中の命令自体を処理ルーチンの完了時に復元しなければならない。その結果、各トラップまたは関連事象 (イベント) が起こると、処理ルーチンの開始時と終了時にパイプラインをクリアし、正確なマシンの状態をセーブし、復元するために待ち時間が生じ、プロセッサのスループットがその分だけ減少することになる。

【0007】C I S C アーキテクチャが潜在的にもつスループットを向上するために、これらの問題に対する解決方法がいろいろと試みられている。条件付きブランチ命令が正しく実行されると想定すれば、ブランチ条件コードの最終的判断に先立って、パイプライン実行を試行的に進めることができる。また、レジスタが修正されると想定すれば、後続の命令を試行的に実行することができる。処理ルーチンの実行を必要とするような例外の発生を最小にすることによって、プログラム命令ストリームの処理に割り込みをかける例外の発生頻度を少なくすることを、別のハードウェアで行うことが可能である。

【0008】これらの解決方法は、明らかに追加ハードウェアを複雑化するものではあるが、その方法自身にも別の問題がある。つまり、ブランチ条件コードの最終的判断またはレジスタ・ファイルのストア・アクセスに先立って命令の実行を続けるためには、条件付きブランチのロケーションを含むプログラム命令ストリーム内の複数の個所のいずれかにレジスタ・ファイルの各々の修正内容に、及び例外が発生した場合には、最後の複数の命令の実行が完了した以前の個所にマシンの状態が復元可能であることが必要である。その結果、さらに別のサポート・ハードウェアが必要になり、しかも、いずれかの

(4)

5

パイプライン・ステージのサイクル・タイムが大幅に増加しないように、ハードウェアを設計しなければならない。

【0009】RISCアーキテクチャでは、マイクロプロセッサ・アーキテクチャのハードウェアによる実現を大幅に単純化することによって、上記の問題の多くを解決することを試みている。極端な場合には、各RISC命令はロード・サイクル、実行サイクル・及びストア・サイクルからなる3つのパイプライン化プログラム・サイクルだけで実行される。ロード及びストア・データをバイパスすることによって、従来のRISCアーキテクチャは3ステージ・パイプラインにおいてサイクルあたり1命令の実行を可能にすることを基本にしている。

【0010】可能な限り、RISCアーキテクチャにおけるハードウェア・サポートは最小化され、必要とする機能はソフトウェア・ルーチンで実行するようにしている。その結果、RISCアーキテクチャは、最適に適合したパイプラインで実行される単純なロード/ストア命令セットの使用により大幅な柔軟性と高速化が期待できる。また、実際にはRISCアーキテクチャは短い高性能パイプラインと増加した命令数を実行する必要性との調和を図ると、必要とするすべての機能を実現できることが判明している。

【0011】RISCアーキテクチャの設計は一般的に、ブランチ、レジスタ参照及び例外に関してCISCアーキテクチャに起こっている問題を回避し、あるいは最小化するようになっている。RISCアーキテクチャにおけるパイプラインは短く、スピードが最適化されている。パイプラインを短くすると、パイプライン停止(stall)またはクリアによって生じる結果を最小化するとともに、マシンの状態を以前の実行箇所に復元する際に起こる問題を最小化することができる。

【0012】しかし、一般に認識されている現水準を大幅に超えたスループット・パフォーマンスの向上は、従来のRISCアーキテクチャによっては容易に達成することができない。その結果、これに変わるスーパースカラー(superscalar)と呼ばれるアーキテクチャが種々提案されている。これらのアーキテクチャは、一般的には、複数の命令を同時並行に実行することによって、プロセッサのスループットを比例的に向上させることを試みている。残念ながら、この種のアーキテクチャの場合もCISCアーキテクチャの問題と同じでないとしても、条件付きブランチ、レジスタ参照、及び例外処理に同じような問題が起こっている。

【0013】

【発明が解決しようとする課題】したがって、本発明の一般的目的は従来のCISCアーキテクチャとRISCアーキテクチャに対して大幅なパフォーマンス向上が得られ、さらにマイクロプロセッサで実現するのに適した高性能の、RISCベースのスーパースカラー型プロセ

6

ッサ・アーキテクチャを提供することである。

【0014】

【課題を解決するための手段】この目的を達成するため、本発明によるマイクロプロセッサ・アーキテクチャは命令ストアからフェッチした命令を同時並行に実行することを可能にしている。このマイクロプロセッサ・アーキテクチャは命令ストアから命令セットをフェッチするための命令プリフェッチ・ユニットを備えている。各命令セットは複数の固定長命令から構成されている。命令 FIFOは第1バッファと第2バッファを含む複数の命令セット・バッファに命令セットを置いておくバッファリングのために用意されたものである。命令実行ユニットは、レジスタ・ファイルと複数の機能ユニット(functional unit)から構成され、第1バッファと第2バッファに置かれている命令セットを調べ、使用可能な機能ユニットに実行させるためにこれらの命令の1つを出す機能を持つ命令制御ユニットを備えている。機能ユニットとレジスタ・ファイル間は複数のデータ経路(data path)で結ばれているので、

20 それぞれの命令を並行実行するために必要とされるレジスタ・ファイルへの複数の独立アクセスが可能になっている。

【0015】レジスタ・ファイルはレジスタ・データを一時的にストアしておくために使用される別セットのデータ・レジスタを含んでいる。これらの一時データ・レジスタは、命令が順序外(out-of-order)で実行される際に機能ユニットによって処理されたデータを受け入れるために命令実行ユニットによって利用される。一時データ・レジスタにストアされたデータは選択的に保持され、その後先行するすべての順序内(in-order)命令の実行が完了して退避された、命令ストリーム内の命令ロケーションまで正確なマシン状態が進んだときクリアされるか、レジスタ・ファイルに退避される。

30 40 50 【0016】最後に命令ストアからの命令セットのプリフェッチは、メイン・プログラム命令ストリーム、ターゲット条件付きブランチ命令ストリーム及びプロセッジヤ命令ストリームのプリフェッチを可能にする複数のプリフェッチ経路によって容易化されている。ターゲット条件付きブランチ・プリフェッチ経路を利用すると、条件付きブランチ命令となり得る両方の命令ストリーム、つまりメインとターゲットを同時にプリフェッチすることが可能である。プロセッジヤ命令プリフェッチ経路を利用すると、メインまたはターゲット命令ストリームにある一つの命令を実行する拡張プロセッジヤの実行を可能にする上で効果的な補足的命令ストリームを可能にする。また、プロセッジヤ・プリフェッチ経路によると、少なくともメイン・プリフェッチ・バッファをクリアすることなく、これらの拡張プロセッジヤをフェッチして実行することができる。

(5)

7

【0017】以上のとおり、本発明の利点は、基本的にRISC型のコア・アーキテクチャを利用して非常に高性能なスループットを実現するアーキテクチャを提供することにある。本発明の別の利点は、サイクルごとに複数の命令の実行を可能にしたことにある。さらに、本発明の利点は、複数の命令を同時並行に実行することを最適化するために必要な機能ユニットを動的に（ダイナミック）に選択して、利用することを可能にしたことである。さらに本発明の別の利点は、正確なマシン状態復帰機能をサポートするメカニズムと一体化したレジスタ・ファイル・ユニットを設けたことにある。

【0018】さらに、本発明の別の利点は、レジスタ・ファイル・ユニット内に複数のレジスタ・ファイルを内蔵し、これらのレジスタ・ファイルは汎用化され、タイプ化され、複数の独立並列整数レジスタ・ファイルとしてのオペレーション、浮動小数点ファイルと整数ファイルとしてのレジスタ・ファイルのオペレーションおよび専用ブール・レジスタ・ファイルのオペレーションを含む、複数のレジスタ・ファイル機能を備えていることにある。

【0019】さらに、本発明の別の利点は、ロードとストア・オペレーション及び例外と割り込みの処理を効率的な命令キャンセル・メカニズムやロード／ストア順序シンクロナイザを含む、正確なマシン状態復帰機能の使用により正確に実行できるようにしたことである。さらに、本発明の別の利点は、専用レジスタ・ファイル・ユニットによってトラップ状態をサポートして待ち時間を最小化し、処理スループットを向上したことにある。

【0020】さらに、本発明の別の利点は、メイン及びターゲット・ブランチ・プリフェッチ待ち行列を設け、それによって正確でないターゲット・ブランチ・ストリームが先に実行されても、本発明によって得られる全体的な処理スループットに与える影響を最小化したことにある。さらに、プロシージャ命令プリフェッチ待ち行列が設けられているので、メインまたはターゲット・ブランチ命令ストリームの実行に効率的に割り込んで、プロシージャ・ルーチンの実行を通して新規命令を実現することを可能にし、特にプロシージャ・ルーチンを外部から修正することによって、組み込みプロシージャ命令を実現することを可能にしたことである。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について説明する。なお、以下の目次に従って順次説明する。

【0022】

## 目次

I. マイクロプロセッサ・アーキテクチャの概要

I I. 命令フェッチユニット

A) IFUデータ経路

B) IFU制御経路

C) IFU／IEU制御インターフェース

8

D) PCロジック・ユニットの詳細

1) PFおよびEXPC制御／データ・ユニットの詳細

2) PC制御アルゴリズムの詳細

E) 割込みおよび例外の処理

1) 概要

2) 非同期割込み

3) 同期例外

4) ハンドラ・ディスパッチとリターン

5) ネスト

6) トラップ一覧表

I I I. 命令実行ユニット

A) IEUデータ経路の詳細

1) レジスタ・ファイルの詳細

2) 整数データ経路の詳細

3) 浮動小数点データ経路の詳細

4) ブール・レジスタ・データ経路の詳細

B) ロード／ストア制御ユニット

C) IEU制御経路の詳細

1) Eデコード・ユニットの詳細

2) キャリー・チェック・ユニットの詳細

3) データ依存関係チェック・ユニットの詳細

4) レジスタ改名ユニットの詳細

5) 命令発行ユニットの詳細

6) 完了制御ユニットの詳細

7) 退避制御ユニットの詳細

8) 制御フロー制御ユニットの詳細

9) バイパス制御ユニットの詳細

I V. 仮想メモリ制御ユニット

V. キャッシュ制御ユニット

V I. 要約及び結論

以下に目次に従って説明する。

【0023】 I. マイクロプロセッサ・アーキテクチャの概要

図1は本発明のアーキテクチャ100の概要を示すものである。命令フェッチ・ユニット(IFU)102と命令実行ユニット(IEU)104はアーキテクチャ100の中心となる機能要素である。仮想メモリ・ユニット(VMU)108、キャッシュ制御ユニット(CUU)106、およびメモリ制御ユニット(MCU)110

40は、IFU102とIEU104の機能を直接にサポートするためのものである。また、メモリ・アレイ・ユニット(MAU)112は基本的要素として、アーキテクチャ100を動作させるためのものである。もっともMAU112はアーキテクチャ100の一つの一体的なコンポーネントとして直接的に存在しない。つまり、本発明の好適実施例ではIFU102、IEU104、VMU108、CCU106およびMCU110は従来の0.8ミクロン設計ルールの低電力CMOSプロセスを利用してシングル・シリコン・チップ上に実装され、約50,200,000個のトランジスタから構成されてい

(6)

9

る。アーキテクチャ100の標準プロセッサまたはシステムのクロック速度は40MHzである。しかし、本発明の好適実施例によれば、プロセッサの内部クロック速度は160MHzである。

【0024】IFU102の基本的役割は命令をフェッチし、IEU104による実行が保留されている間命令をバッファに置いておき、一般的には次の命令をフェッチするとき使用される次の仮想アドレスを計算することである。

【0025】本発明の好適実施例では、各命令は長さが32ビットに固定されている。命令セット、つまり、4個の命令からなる「バケット」(bucket)はCCU106内の命令用キャッシュ132から128ビット幅の命令バス114を経由してIFU102によって同時にフェッチされる。命令セットの転送は、制御ライン116経由で送られてきた制御信号によって調整されて、IFU102とCCU106間で行われる。フェッチされる命令セットの仮想アドレスはIFU仲裁、制御およびアドレスを兼ねたバス118経由でIFU102から出力され、さらにIEU104とVMU108間を結合する仲裁、制御およびアドレス共用バス120上に送出される。VMU108へのアクセスの仲裁(arbitration)はIFU102とIEU104の両方がVMU108を共通の共用資源として利用することから行われる。本発明の好適実施例では、仮想アドレスの物理ページ内のアドレスを定義する下位ビットは、IFU102から制御ライン116を経由して直接にキャッシュ制御ユニット106へ転送される。IFU102から与えられる仮想アドレスの仮想上位ビットは、バス118、120のアドレス部分によってVMU108へ送られ、そこで対応する物理ページ・アドレスに変換される。IFU102では、この物理ページ・アドレスは変換要求がVMU108に出されたあと内部プロセッサ・クロック・サイクルの1/2の間に、VMU108からアドレス制御ライン122経由で直接にキャッシュ制御ユニット106へ転送される。

【0026】IFU102によってフェッチされた命令ストリームの方は命令ストリーム・バス124経由でIEU104に渡される。制御信号は、制御ライン126を介してIFU102とIEU104間でやりとりされる。さらに、ある種の命令フェッチ・アドレス、例えばIEU104内に存在するレジスタ・ファイルへアクセスを必要とするアドレスは、制御ライン126内のターゲット・アドレス・リターン・バスを経由してIFU102へ送り返される。

【0027】IEU104は、CCU106内に設けられたデータ用キャッシュ134との間で80ビット幅双方向データ・バス130を通してデータをストアし、データを取り出す。IEU104がデータ・アクセスするときの物理アドレス全体は制御バス128のアドレス部

(6)

10

分によってCCU106へ渡される。また、制御バス128を通して、データ転送を管理するための制御信号をIEU104とCCU106との間でやりとりすることもできる。IEU104は、仮想データ・アドレスをCCU106へ渡すのに適した物理データ・アドレスに変更するための資源としてVMU108を使用する。データ・アドレスの仮想化部分は、仲裁、制御およびアドレス・バス120を経由してVMU108へ渡される。IFU102に対するオペレーションと異なり、VMU108は対応する物理アドレスをバス120経由でIEU104へ返却する。アーキテクチャ100の好適実施例では、IEU104は物理アドレスを使用して、ロード/ストア・オペレーションが正しいプログラム・ストリーム順序で行われていることを確かめている。

【0028】CCU106は、物理アドレスで定義したデータ要求を命令用キャッシュ132とデータ用キャッシュ134のどちらか該当する方から満足できるかどうかを判断する従来のハイレベル機能を備えている。アクセス要求が命令用キャッシュ132またはデータ用キャッシュ134へアクセスすることで正しく満足できる場合は、CCU106はデータ・バス114、128を経由するデータ転送を調整して、その転送を行う。

【0029】データ・アクセス要求が命令用キャッシュ132またはデータ用キャッシュ134から満足できない場合は、CCU106は対応する物理アドレスをMCU110へ渡し、MAU112が、要求しているのは読み取りアクセスであるか書き込みアクセスであるかを判別し、各要求ごとにCCU106のソースまたは宛先キャッシュ132、134を識別するのに十分な制御情報および要求オペレーションをIFU102またはIEU104から出された最終的データ要求と関係づけるための追加識別情報も一緒にMCU110へ渡される。

【0030】MCU110は、好ましくはポート・スイッチ・ユニット142を備えており、このユニットは単方向データ・バス136によってCCU106との命令用キャッシュ132に接続され、双方向データ・バス138によってデータ用キャッシュ134に接続されている。ポート・スイッチ142は基本的には大きなマルチプレクサであり、制御バス140から得た物理アドレスを複数のポートP<sub>0</sub> P<sub>n</sub> 1460-nのいずれかへ送ることを可能にし、また、ポートからデータ・バス136、138へのデータの双方向転送を可能にする。MCU110によって処理される各メモリ・アクセス要求は、MAU112をアクセスするとき要求されるメイン・システム・メモリ・バス162へのアクセスを仲裁する目的でポート1460-nの1つと関連づけられる。データ転送の接続が確立されると、MCUは制御情報を制御バス140経由でCCU106に渡して、ポート141およびポート1460-nのうち対応する1つを経由して命令用キャッシュ132またはデータ用キャッシュ134と

(7)

11

MAU112との間でデータを転送することを開始する。アーキテクチャ100の好適実施例では、MCU110は、実際にはCCU106とMAU112間を転送する途中にあるデータをストアまたはラッピングしない。このようにしたのは、転送の待ち時間を最小にし、MCU110に一つだけ存在するデータを追跡または管理しないですむようにするためである。

【0031】 I I. 命令フェッチ・ユニット

命令フェッチ・ユニット102の主要エレメントを図2に示す。これらのエレメントのオペレーションおよび相互関係を理解しやすくするために、以下ではこれらのエレメントがIFUデータ経路と制御経路に関与する場合を考慮して説明する。

【0032】 A) IFUデータ経路

IFUデータ経路は、命令セットを受け取ってプリフェッチ・バッファ260に一時的にストアしておく命令バス114から始まる。プリフェッチ・バッファ260からの命令セットはIデコード・ユニット262を通ってIFOユニット264へ渡される。命令IFO264の最後の2ステージにストアされた命令セットは、データ・バス278、280を通してIEU104に連続的に取り出して利用することができる。

【0033】 プリフェッチ・バッファ・ユニット260は一度に1つの命令セットを命令バス114から受け取る。完全な128ビット幅命令セットは、一般にプリフェッチ・バッファ260のメイン・バッファ(MBUF)188部分の4つの128ビット幅プリフェッチ・バッファ・ロケーションの1つに並列に書き込まれる。追加の命令セットは最高4つまで同じように、2つの128ビット幅ターゲット・バッファ(TBUF)190のプリフェッチ・バッファ・ロケーションに、または2つの128ビット幅プロシージャ・バッファ(EBUF)192のプリフェッチ・バッファ・ロケーションに書き込むことができる。好適アーキテクチャ100では、MBUF188、TBUF190またはEBUF192内のプリフェッチ・バッファ・ロケーションのいずれかに置かれている命令セットは、プリフェッチ・バッファ出力バス196へ転送することができる。さらに、直接フォールスルーフailthrough命令セット・バス194は、命令バス114をプリフェッチ・バッファ出力バス196と直接に接続することによってMBUF188、TBUF190およびEBUF192をバイパスするためのものである。

【0034】 好適アーキテクチャ100では、MBUF188は名目的またはメイン命令ストリーム中の命令セットをバッファするために利用される。TBUF190は、試行的なターゲット・プランチ命令ストリームからプリフェッチした命令セットをバッファするために利用される。その結果、プリフェッチ・バッファ・ユニット260を通して、条件付きプランチ命令のあとに置かれ

12

ている可能性のある両方の命令ストリームをプリフェッチすることができる。この機能により、MAU112の待ち時間は長くなるとしても、少なくともCCU112への以後のアクセス待ち時間がなくなるので、条件付きプランチ命令の解決時にどの命令ストリームが最終的に選択されるかに関係なく、条件付きプランチ命令のあとに置かれた正しい次の命令セットを得て、実行することができる。本発明の好適アーキテクチャ100では、MBUF188とTBUF190があるために、命令フェッチ・ユニット102は現れる可能性のある両方の命令ストリームをプリフェッチすることができ、命令実行ユニット104に関連して以下に説明するようにたどりたいと想定された命令ストリームを引き続き実行することができる。条件付きプランチ命令が解決されたとき、正しい命令ストリームがプリフェッチされて、MBUF188に入れられた場合は、TBUF190に残っている命令セットは無効にされるだけである。他方、正しい命令ストリームの命令セットがTBUF190に存在する場合は、命令プリフェッチ・バッファ・ユニット260を通して、これらの命令セットがTBUF190から直接に並行にMBUF188内のそれぞれのバッファ・ロケーションへ転送される。それ以前にMBUF188にストアされた命令セットは、TBUF190から転送された命令セットを重ね書きすることによって事実上無効にされる。MBUFロケーションへ転送するTBUF命令セットが無ければ、そのロケーションには無効の印が付けられるだけである。

【0035】 同様に、EBUF192はプリフェッチ・バッファ260を経由する別の代替プリフェッチ経路となるものである。EBUF192は好ましくはMBUF188命令ストリームに現れた単一の命令、つまり、「プロシージャ」命令で指定されたオペレーションを実現するために使用される代替命令ストリームをプリフェッチする際に利用される。このようにすると、複雑な命令や拡張された命令はソフトウェア・ルーチンまたはプロシージャを通して実現することができ、すでにプリフェッチされてMBUF188に入れられた命令ストリームを乱すことなくプリフェッチ・バッファ・ユニット260を通して処理することができる。一般的には、本発明によれば、最初にTBUF190に現れたプロシージャ命令を処理することができるが、プロシージャ命令ストリームのプリフェッチは保留され、以前に現れた保留中の条件付きプランチ命令ストリームが全て解決される。これにより、プロシージャ命令ストリームに現れた条件付きプランチ命令は、TBUF190の使用を通して矛盾なく処理されることになる。従って、プロシージャ・ストリームでプランチが行われる場合は、ターゲット命令セットはすでにプリフェッチされてTBUF190に入れられているので、EBUF192へ並列に転送することができる。

50

(8)

13

【0036】最後にMBUF188、TBUF190およびEBUF192の各々はプリフェッチ・バッファ出力バス196に接続され、プリフェッチ・ユニットによってストアされた命令セットを出力バス196上に送出するようになっている。さらに、バス194を通過するフローは命令セットを命令バス114から直接に出力バス196へ転送するためのものである。

【0037】好適アーキテクチャ100ではMBUF188、TBUF190、EBUF192内のプリフェッチ・バッファは直接的にはFIFO構造を構成していない。その代わりにどのバッファ・ロケーションも出力バス196に接続されているので、命令用キャッシュ132から取り出された命令セットのプリフェッチ順序に大幅な自由度をもたせることができる。つまり、命令フェッチ・ユニット102は命令ストリームに一定順序で並んだ命令順に命令セットを判断して要求するのが一般的になっている。しかし、命令セットがIFU102へ返されるときの順序は、要求したある命令セットが使用可能で、CCU106だけからアクセス可能であり、他の命令セットはMAU102のアクセスを必要とするような場合に合わせて順序外に現れることも可能である。

【0038】命令セットは一定順序でプリフェッチ・バッファ・ユニット260へ返されない場合があっても、出力バス196上に出力される命令セットの列は、一般的にIFU102から出された命令セット要求の順序に従っていなければならない。順序内(in-order)の命令ストリーム列は、例えばターゲット・ブランチ・ストリームの試行的実行に影響されるためである。

【0039】Iデコード・ユニット262は、IFIFOユニット264のスペースが許す限り、プリフェッチ・バッファ出力バス196から命令セットを、普通は1サイクルに1つの割合で受け取る。一つの命令セットを構成する4個の命令からなる各セットはIデコード・ユニット262によって並行にデコードされる。関係の制御フロー情報がIFU102の制御経路部分のためにライン318から抜き出されている間は、命令セットの内容はIデコード・ユニット262によって変更されない。

【0040】Iデコード・ユニット262からの命令セットはIFIFOユニット264の128ビット幅入力バス198上に送出される。内部的には、IFIFOユニット264はマスター/スレーブ・レジスタ200、204、208、212、216、220、224の列から構成されている。各レジスタはその後続レジスタに接続され、マスター・レジスタ200、208、216の内容がFIFOオペレーションの内部プロセッサ・サイクルの前半時にスレーブ・レジスタ204、212、220へ転送され、そのあとオペレーションの後半サイクル時に次の後続マスター・レジスタ208、216、224へ転送されるようになっている。入力バス198はマス

(9)

14

タ・レジスタ200、208、216、224の各々の入力に接続され、FIFOオペレーションの後半サイクル時に命令セットがIデコード・ユニット262からマスター・レジスタに直接にロードされるようになっている。しかし、マスター・レジスタを入力バス198からロードすることは、IFIFOユニット264内でデータをFIFOシフトすることと同時にロードする必要はない。その結果、命令FIFOユニット264内にストアされた命令セットの現在の深さに関係なく、さらに、IFIFOユニット264内でデータをFIFOシフトすることから独立して入力バス198から連続的にIFIFOユニット264に入れていくことができる。

【0041】マスター/スレーブ・レジスタ200、204、208、212、216、220、224の各々は、128ビット幅命令セットの全ビットを並列にストアできるほかに、制御情報のいくつかのビットをそれぞれの制御レジスタ202、206、210、214、218、222、226にストアすることもできる。好ましくは、制御ビットのセットは、例外不一致(exception miss)と例外修正(exception modify)(VMU)、メモリなし(MCU)、ブランチ・バイアス、ストリーム、およびオフセット(IFU)からなっている。この制御情報はIFIFOマスター・レジスタに入力バス198から新しい命令セットをロードするのと同時に、IFU102の制御経路部分から発生する。その後、制御レジスタ情報は命令セットと並行してIFIFOユニット264内で並列にシフトされる。

【0042】最後に好適アーキテクチャ100ではIFIFOユニット264からの命令セットの出力は最後の2マスター・レジスタ216、224から同時に得られて、I\_Bucket\_0とI\_Bucket\_1命令セット出力バス278、280上に送出される。さらに、対応する制御レジスタ情報がIBASV0とIBASB1制御フィールドバス282、284上に送出される。これらの出力バス278、282、280、284は全てIEU104へ通じる命令ストリーム・バス124となるものである。

【0043】B) IFU制御経路

IFU102制御経路は、プリフェッチ・バッファ・ユニット260、Iデコード・ユニット262およびIFIFOユニット264のオペレーションを直接にサポートする。プリフェッチ制御ロジック・ユニット266は主にプリフェッチ・バッファ・ユニット260のオペレーションを管理する。プリフェッチ制御ロジック・ユニット266とIFU102は一般的にはクロック・ライン290からシステム・クロック信号を受信して、IFUのオペレーションとIEU104、CCU106およびVMU108のオペレーションとの同期をとるようにしている。命令セットを選択して、MBUF188、T

(9)

15

BUF190およびEBUF192に書き込むための制御信号は制御ライン304上に送出される。

【0044】多数の制御信号は、制御ライン316上に送出されて、プリフェッチ制御ロジック・ユニット266へ送られる。具体的には、フェッチ要求制御信号はプリフェッチ・オペレーションを開始するために送出される。制御ライン316上に送出される他の制御信号は要求したプリフェッチ・オペレーションが目標とする宛先かMBUF188であるか、TBUF190であるか、EBUF192であるかを指定している。プリフェッチ要求を受けて、プリフェッチ制御ロジック・ユニット266はID値を生成し、プリフェッチ要求をCCU106に通知できるかどうかを判断する。ID値の生成は、循環4ビット・カウンタを使用して行われる。

【0045】4ビット・カウンタの使用は次の3つの点で重要である。第1は最大9個までの命令セットをプリフェッチ・バッファ・ユニット260で一度にアクティブにできることである。すなわち、MBUF188での4命令セット、TBUF190での2命令セット、EBUF192での命令セット、およびフロー・スルーバス194経由で直接にIデコード・ユニット262に渡される1命令セットである。第2は、命令セットが各々4バイトの4個の命令からなることである。その結果、フェッチする命令を選択するどのアドレスも、その最下位4ビットは余分になっている。最後は、プリフェッチ要求アドレスの最下位4ビットとして挿入することで、プリフェッチ要求IDをプリフェッチ要求と容易に関連づけることができる。これにより、CCU106とのインターフェースとなるために必要な総アドレス数が減少することになる。

【0046】IFU102から出されたプリフェッチ要求の順序に対して順序外で命令セットがCCU106から返却されるようにするために、アーキテクチャ100ではCCU106からの命令セットの返却と一緒にID要求値が返されるようになっている。しかし、順序外の命令セット返却機能によると、16個の固有IDが使いつくされるおそれがある。条件付き命令の組合せが順序外で実行されると、要求されたがまだ返却されていない追加のプリフェッチと命令セットがあるので、ID値を再使用することが可能になる。したがって、4ビット・カウンタは保持しておくのが好ましく、それ以降の命令セットのプリフェッチ要求が出されないことになり、その場合には次のID値は、未処理のまま残っているフェッチ要求やそのときプリフェッチ・バッファ260に保留されている別の命令セットに関連づけられたものとなる。

【0047】プリフェッチ制御ロジック・ユニット266はプリフェッチ状況配列(アレイ)268を直接に管理し、この配列はMBUF188、TBUF190およびEBUF192内の各命令セット・プリフェッチ・バ

16

ッファ・ロケーションに論理的に対応する状況記憶ロケーションからなっている。プリフェッチ制御ロジック・ユニット266は選択およびデータ・ライン306を通して、データをスキャンし、読み取って、状況レジスタ配列268に書き込むことができる。配列268内では、メイン・バッファ・レジスタ308は4個の4ビットID値(MBID)、4個の1ビット予約フラグ(MBRES)および4個の1ビット有効フラグ(MBVAL)をストアしておくためのものであり、これらの各々は論理ビット位置別にMBUF180内のそれぞれの命令セット記憶ロケーションに対応づけられている。同様に、ターゲット・バッファ・レジスタ310と拡張バッファ・レジスタ312は、それぞれ2個の4ビットID値(TBID、EBID)、2個の1ビット予約フラグ(TBRES、EBRES)および2個の1ビット有効フラグ(TBVAL、EBVAL)をストアしておくためのものである。最後にフロー・スルーレジスタ314は1個の4ビットID値(FTID)、1個の予約フラグ・ビット(FTRES)および1個の有効フラグ・ビット(FTVAL)をストアしておくためのものである。

【0048】状況レジスタ配列268が最初にスキャンされ、該当するときは、プリフェッチ要求がCCU106に出されるたびにプリフェッチ制御ロジック・ユニット266によって更新され、そのあとは命令セットが返されるたびにスキャンされ、更新される。具体的に説明すると、制御ライン316からプリフェッチ要求信号を受け取ると、プリフェッチ制御ロジック・ユニット266は現在の循環カウンタ生成ID値をインクリメントし、状況レジスタ配列268をスキャンして、使用可能なID値があるかどうか、プリフェッチ要求信号で指定されたタイプのプリフェッチ・バッファ・ロケーションが使用可能であるかどうかを判断し、CCU\_IBUSY制御ライン300の状態を調べてCCU106がプリフェッチ要求を受け付けることができるかどうかを判断し、受付可能ならば、制御ライン298上のCCU\_I READ制御信号を肯定し、インクリメントされたID値をCCU106と結ばれたCCU\_ID出力バス294上に送出する。プリフェッチ記憶ロケーションは、対応する予約状況フラグと有効状況フラグが共に偽である場合に使用が可能である。

【0049】プリフェッチIDは要求がCCU106に出されるのと並行して、MBUF188、TBUF190、またはEBUF192内の目標とする記憶ロケーションに対応する状況レジスタ配列268内のID記憶ロケーションに書き込まれる。さらに、対応する予約状況フラグが真にセットされる。

【0050】CCU106が以前に要求された命令セットをIFU102へ返却できるときは、CCU\_I READY信号が制御ライン302上で肯定され、対応する

(10)

17

命令セット ID が CCU ID 制御ライン 296 上に送出される。プリフェッヂ制御ロジック・ユニット 266 は状況レジスタ配列 268 内の ID 値と予約フラグをスキヤンして、プリフェッヂ・バッファ・ユニット 260 内の命令セットの目標とする宛先を判別する。一致するものは一つだけが可能である。判別されると、命令セットはバス 114 を経由してプリフェッヂ・バッファ・ユニット 260 内の該当ロケーションに書き込まれ、フロー・スルーリー要求と判別されたときは、直接に I デコード・ユニット 262 に渡される。どちらの場合も、対応する状況レジスタ配列に入っている有効状況フラグは真にセットされる。

【0051】PC ロジック・ユニット 270 は、以下で詳しく説明するように、IFU102 全体を調べて MBUF188、TBUF190 および EBUF192 命令ストリームの仮想アドレスを探し出す。この機能を実行する際、PC ロジック・ブロック 270 は I デコード・ユニット 262 を制御すると同時に、そこから動作する。具体的には、I デコード・ユニット 262 によってデコードされ、プログラムの命令ストリームのフローの変化と関わりがある可能性のある命令部分はバス 318 を経由して制御フロー検出ユニット 274 へ送られると共に、直接に PC ロジック・ブロック 270 へ送られる。制御フロー検出ユニット 274 は条件付きプランチ命令と無条件プランチ命令、コール型命令、ソフトウェア・トラップ・プロシージャ命令および種々のリターン命令を含む制御フロー命令を構成する各命令をデコードされた命令セットの中から判別する。制御フロー検出ユニット 274 は制御信号をライン 322 を経由して、PC ロジック・ユニット 270 へ送る。この制御信号は、I デコード・ユニット 262 に存在する命令セット内の制御フロー命令のロケーションと種類を示している。これを受けて、PC ロジック・ユニット 270 は、一般的には命令に入れられて、ライン 318 経由で PC ロジック・ユニット へ転送されたデータから制御フロー命令のターゲット・アドレスを判断する。例えば、条件付きプランチ命令に対して先に実行するためにプランチ・ロジック・バイアスが選択された場合には、PC ロジック・ユニット 270 は条件付きプランチ命令ターゲット・アドレスから命令セットをプリフェッヂすることを指示し、別々に追跡することを開始する。したがって、制御ライン 316 上のプリフェッヂ要求を次に肯定すると、PC ロジック・ユニット 270 はさらにライン 316 を経由する制御信号を肯定し、先行するプリフェッヂ命令セットが MBUF188 または EBUF192 へ送られたものと想定すると、プリフェッヂの宛先を TBUF190 として選択する。プリフェッヂ要求を CCU106 へ渡すことができるとプリフェッヂ制御ロジック・ユニット 266 が判断すると、プリフェッヂ制御ロジック・ユニット 266 は、この場合もライン 316 を経由して

18

イネーブル（許可）信号を PC ロジック・ユニット 270 へ送って、ターゲット・アドレスのページ・オフセット部分 (CCU\_PADDR [13:4]) をアドレス・ライン 324 を経由して直接に CCU106 へ渡すことを可能にする。これと同時に、PC ロジック・ユニット 270 は新しい仮想ページから物理ページへの変換が必要な場合には、さらに、VMU 要求信号を制御ライン 328 を経由して、ターゲット・アドレスの仮想化部分 (VMU\_VADDR [13:14]) をアドレス・ライン 326 を経由して VMU108 へ渡して、物理アドレスに変換する。ページ変換が必要でない場合は、VMU108 によるオペレーションは必要でない。その代わりに、以前の変換結果がバス 122 に接続された出力ラッチに保存されているので、CCU106 によって即時に使用される。

【0052】PC ロジック・ユニット 270 が要求した仮想から物理への変換時に VMU108 にオペレーション・エラーが起こると、VMU 例外および VMU 不一致制御 (miss control) ライン 332、334 を通して報告される。VMU 不一致制御ライン 334 は変換索引緩衝機構 (Translation lookaside buffer: TLB) の不一致を報告する。VMU 例外ライン 332 上の VMU 例外制御信号は他の例外が起こると発生する。いずれの場合も、PC ロジック・ユニットは命令ストリーム中の現在の実行個所をストアしておき、そのあと無条件プランチが行われたのと同じように、それを受けてエラー条件を診断し処理するための専用例外処理ルーチン命令ストリームをプリフェッヂすることによって、エラー条件を処理する。VMU 例外および不一致制御信号は、発生した例外の種類を示しているので、PC ロジック・ユニット 270 は対応する例外処理ルーチンのプリフェッヂ・アドレスを判別することができる。

【0053】IFO 制御ロジック・ユニット 272 は IFO ユニット 264 を直接にサポートするためのものである。具体的には、PC ロジック・ユニット 270 は制御ライン 336 を経由して制御信号を出し、命令セットが I デコード・ユニット 262 から入力バス 198 経由で使用可能であることを IFO 制御ロジック・ユニット 272 に通知する。IFO 制御ユニット 272 は命令セットを受け取るために、最も奥の使用可能なマスタ・レジスタ 200、208、216、224 を選択する役割をもっている。マスタ・レジスタ 202、210、218、226 の各々の出力は制御バス 338 を経由して IFO 制御ユニット 272 へ渡される。各マスタ制御レジスタによってストアされる制御ビットは 2 ビット・バッファ・アドレス (IFO\_BxADR)、単一ストリーム・インジケータ・ビット (IFO\_BxSTRM)、および単一有効ビット (IFO\_BxVLD) からなっている。2 ビット・バッファ・

(11)

19

アドレスは対応する命令セット内の最初の有効命令を指定している。つまり、CCU106から返された命令セットは、例えば、プランチ・オペレーションのターゲット命令が命令セット内の最初の命令ロケーションに置かれるように境界合わせされていないことがある。したがって、バッファ・アドレス値は、実行の対象として考慮される、命令セット内の最初の命令を一意的に示すために与えられる。

【0054】ストリーム・ビットは、条件付き制御フロー命令を含んでいる命令セットのロケーションを示し、IFOユニット264を通る命令のストリームに潜在的制御フローの変更を引き起こすマーカとして使用されることを基本としている。メイン命令ストリームは一般にストリーム・ビット値が0のときMBUF188を通して処理される。例えば、相対条件付きプランチ命令が現れるとすると、対応する命令セットはマークが付けられ、ストリーム・ビット値が1となる。条件付き命令セットはIデコード・ユニット262によって検出される。条件付き制御フロー命令は最高4つまで命令セットに存在することができる。そのあと、命令セットはIFOユニット264の最も奥の使用可能なマスタ・レジスタにストアされる。

【0055】条件付きプランチ命令のターゲット・アドレスを判断するために、現在のIEU104の実行点アドレス(DPC)、ストリーム・ビットで指定された条件付き命令が入っている命令セットの相対ロケーション、制御フロー検出ユニット274から得られた命令セット内の条件付き命令ロケーション・オフセットは、制御ライン318を通して対応するプランチ命令フィールドから得られた相対プランチ・オフセット値と結合される。その結果はプランチ・ターゲットの仮想アドレスとなり、PCロジック・ユニット270によってストアされる。ターゲット命令ストリームの最初の命令セットは、このアドレスを使用してプリフェッチしてTBUF190に入れることができる。PCロジック・ユニット270のために事前に選択されたプランチ・バイアスに応じてIFOユニット264はMBUF188またはTBUF190からロードが続けられる。1つまたは2つ以上の条件付フロー命令を含んでいる2番目の命令セットが現れると、その命令セットはストリーム・ビット値に0のマークが付けられる。2番目のターゲット・ストリームはフェッチできないので、ターゲット・アドレスはPCロジック・ユニット270によって計算されてストアされるが、プリフェッチは行われない。さらに、それ以降の命令セットはIデコード・ユニット262を通して処理することができない。少なくとも、条件付きフロー制御命令を含んでいることが分かった命令セットは1つも処理されない。

【0056】本発明の好適実施例では、PCロジック・ユニット270は最高2個までの命令セットに現れた条

(11)

20

件付きフロー命令を最高8個まで管理することができる。ストリーム・ビットの変化でマークが付けられた2命令セットの各々のターゲット・アドレスは4つのアドレス・レジスタの配列にストアされ、ターゲット・アドレスは命令セット内の対応する条件付きフロー命令のロケーションに対して論理的位置に置かれる。

【0057】最初の順序内条件付きフロー命令のプランチ結果が解決されると、PCロジック・ユニット270は、プランチが行われる場合にはTBUF190の内容をMVUF188に転送し、TBUF190の内容に無効のマークを付けるように、ライン316上の制御信号によってプリフェッチ制御ユニット266に指示する。正しくない命令ストリーム、つまりプランチが行われない場合はターゲット・ストリームからの、プランチが行われる場合はメイン・ストリームからの命令セットが、IFOユニット264にあるとIFOユニット264からクリアされる。2番目またはそれ以降の条件付きフロー制御命令が第1ストリーム・ビットのマークが付けられた命令セットに存在すると、その命令は統一された方法で処理される。すなわち、ターゲット・ストリームからの命令セットはプリフェッチされ、MBUF188またはTBUF190からの命令セットはプランチ・バイアスに応じてIデコード・ユニット262を通して処理され、条件付きフロー命令が最終的に解決されると、正しくないストリーム命令セットがIFOユニット264からクリアされる。

【0058】IFOユニット264から正しくないストリーム命令がクリアされたとき、2番目の条件付きフロー命令がIFOユニット264に残っていて、最初の条件付きフロー命令セットにそれ以降の条件付きフロー命令が含まれていないと、第2ストリーム・ビットのマークが付いた命令セットのターゲット・アドレスはアドレス・レジスタの最初の配列にプロモートされる。いずれの場合も、条件付きフロー命令を含んでいる次の命令セットはIデコード・ユニット262を通して評価することができる。したがって、ストリーム・ビットをトグルとして使用すると、プランチ・ターゲット・アドレスを計算する目的のために、また、プランチ・バイアスが特定の条件付きフロー制御命令では正しくなかったと、後で判断された場合に、それより上をクリアすべき命令セット・ロケーションにマークをつける目的のために、潜在的制御フローの変化にマークをつけておき、IFOユニット264を通して追跡することができる。

【0059】命令セットをマスタ・レジスタから実際にクリアするのではなく、IFO制御ロジック・ユニット272はIFOユニット264の対応するマスタ・レジスタの制御レジスタに入っている有効ビット・フラグをリセットするだけである。このクリア・オペレーションはライン336に送出される制御信号でPCロ

(12)

21

ジック・ユニット270によって開始される。マスタ制御レジスタ202、210、218、226の各々の入力は状況バス230を通してI FIFO制御ロジック・ユニット272が直接にアクセスすることができる。好適実施例のアーキテクチャ100ではこれらのマスタ制御レジスタ202、210、218、226内のビットはI FIFOユニット264によるデータ・シフト・オペレーションと並行して、または独立してI FIFO制御ユニット272によってセットすることができる。この機能により、IEU104のオペレーションと同期に、命令セットをマスタ・レジスタ200、208、216、224のいずれかに書き込み、対応する状況情報をマスタ制御レジスタ202、210、218、226に書き込むことができる。

【0060】最後に、制御および状況バス230上の追加の制御ラインはI FIFOユニット264のI FIFOオペレーションを可能にし、指示する。I FIFOシフトは制御ライン336を通してPCロジック・ユニット270から出力されたシフト要求制御信号を受けてI FIFOユニット264によって行われる。I FIFO制御ユニット272は、命令セットを受け入れるマスタ・レジスタ200、208、216、224が使用可能であると、制御信号をライン316を経由してプリフェッチ制御ユニット266に送ってプリフェッチ・バッファ260から次の該当命令セットを転送することを要求する。命令セットが転送されると、配列268内の対応する有効ビットがリセットされる。

【0061】C) IFU/IEU制御インターフェース IFU102とIEU104とを結ぶ制御インターフェースは制御バス126によって提供される。この制御バス126はPCロジック・ユニット270に接続され、複数の制御、アドレスおよび特殊データ・ラインから構成されている。割り込み要求と受信確認制御信号を制御ライン340を経由して渡すことにより、IFU102は割り込みオペレーションを通知し、IEU104との同期をとることができる。外部で発生した割り込み信号はライン292経由でロジック・ユニット270へ送られる。これを受け、割り込み要求制御信号がライン340上に送出されると、IEU104は試行的に実行された命令をキャンセルする。割り込みの内容に関する情報は、割り込み情報ライン341を通してやりとりされる。IEU104がPCロジック・ユニット270によって判断された割り込みサービス・ルーチンのアドレスからプリフェッチされた命令の受信を開始する準備状態になると、IEU104はライン340上の割り込み受信確認制御信号を肯定する。IFU102によってプリフェッチされた割り込みサービス・ルーチンがその後開始される。

【0062】I FIFO読み取り(I FIFO RD)制御信号はIEU104から出力され、最も奥のマスタ・

22

レジスタ224に存在する命令セットが実行を完了したことおよび次の命令セットが必要であることを通知する。この制御信号を受けると、PCロジック・ユニット270はI FIFOユニット264でI FIFOシフト・オペレーションを実行するようにI FIFO制御ロジック・ユニット272に指示する。

【0063】PCインクリメント要求とサイズ値(PC INC/SIZE)は制御ライン344上に送出されて、現在のプログラム・カウンタ値を命令の対応するサイズ数だけ更新するようにPCロジック・ユニット270に指示する。これによりPCロジック・ユニット270は、現在のプログラム命令ストリーム中の最初の順序内実行命令のロケーションを正確に指した個所に実行プログラム・カウンタ(DPC)を維持することができる。

【0064】ターゲット・アドレス(TARGET A DDR)はアドレス・ライン346を経由してPCロジック・ユニット270に返される。このターゲット・アドレスはIEU104のレジスタ・ファイルにストアされているデータによって決まるプランチ命令の仮想ターゲット・アドレスである。したがって、ターゲット・アドレスを計算するためにIEU104のオペレーションが必要である。

【0065】制御フロー結果(CF RESULT)制御信号は制御ライン348を経由して、PCロジック・ユニット270へ送られて、現在保留されている条件付きプランチ命令が解決されたかどうか、その結果がプランチによるものなのか、プランチによらないものなのかを示している。これらの制御信号に基づいて、PCロジック・ユニット270は、条件付きフロー命令の実行の結果として、プリフェッチ・バッファ260とI FIFOユニット264に置かれている命令セットのどれをキャンセルする必要があるかを判断することができる。

【0066】いくつかのIEU命令リターン型制御信号(IEUリターン)が制御ライン350上を送出されて、IEU104によってある命令が実行されたことをIFU102に通知する。これらの命令には、プロセージャ命令からのリターン、トラップからのリターンおよびサブルーチン・コールからのリターンがある。トラップからのリターン命令はハードウェア割り込み処理ルーチンとソフトウェア・トラップ処理ルーチンで同じように使用される。サブルーチン・コールからのリターンもジャンプとリンク型コールと併用される。どの場合も、リターン制御信号は以前に割り込みがかけられた命令ストリームに対して命令フェッチ・オペレーションを再開するようにIFU102に通知するために送られる。これらの信号をIEU104から出すことにより、システム100の正確なオペレーションを維持することができる。「割り込みがかけられた」命令ストリームの再開はリターン命令の実行個所から行われる。

(13)

23

【0067】現命令実行PCアドレス（現IF\_\_PC）はアドレス・バス352を経由してIEU104へ送られる。このアドレス値（DPC）はIEU104によって実行される正確な命令を指定している。つまり、IEU104が現在のIF\_\_PCアドレスを通過した命令を先に試行的に実行している間は、このアドレスは割り込み、例外その他に正確なマシンの状態が分かっていることが必要な事象の発生に対してアーキテクチャ100を正確に制御するために保持されていなければならない。現在実行中の命令ストリームの中の正確なマシンの状態を進めることができるとIEU104が判断すると、PC\_Inc/Size信号がIFU102に送られ、同時に現在のIF\_\_PCアドレス値に反映される。

【0068】最後に、アドレスおよび双向データ・バス354は特殊レジスタのデータを転送するためのものである。このデータはIEU104によってIFU102内の特殊レジスタに入れられ、あるいはそこから読み取られるようにプログラムすることが可能である。特殊レジスタのデータは一般にIFU102が使用できるようにIEU104によってロードされ、あるいは計算される。

【0069】D) PCロジック・ユニットの詳細  
PC制御ユニット362、割り込み制御ユニット363、プリフェッチPC制御ユニット364および実行PC制御ユニット366を含むPCロジック・ユニット270の詳細図は図3に示されている。

【0070】PC制御ユニット362はインターフェース・バス126を通してプリフェッチ制御ユニット266、IFIFO制御ロジック・ユニット272、およびIEU104から制御信号を受けて、プリフェッチおよび実行PC制御ユニット364、366に対してタイミング制御を行う。割り込み制御ユニット363はプリフェッチ・トラップ・アドレス・オフセットを判断してそれぞれのトラップ・タイプを処理する該当処理ルーチンを選択することを含めて、割り込みと例外の正確な管理を担当する。プリフェッチPC制御ユニット364は、特にトラップ処理とプロシージャ・ルーチン命令のフレームのためのリターン・アドレスをストアすることを含めて、プリフェッチ・バッファ188、190、192をサポートするために必要なプログラム・カウンタの管理を担当する。このオペレーションをサポートするためには、プリフェッチPC制御ユニット364は物理アドレス・バス・ライン324上のCCU\_PADDERアドレスとアドレスライン326上のVMU\_VMADDRアドレスを含むプリフェッチ仮想アドレスを生成することを担当する。その結果、プリフェッチPC制御ユニット364は現在のプリフェッチPC仮想アドレス値を保持することを担当する。

【0071】プリフェッチ・オペレーションは一般に制御ライン316上を送出された制御信号を通してIFI

10

20

30

40

40

50

24

FO制御ロジック・ユニット272によって開始される。これを受けて、PC制御ユニット362はいくつかの制御信号を生成して制御ライン372上に出力し、プリフェッチPC制御ユニットを動作させてアドレス・ライン324、326上にPADDRアドレスと、必要に応じてVMADDRアドレスを生成する。値が0から4までのインクリメント信号も制御ライン374上に送出される場合もあるが、これはPC制御ユニット362が現在のプリフェッチ・アドレスから命令セットのフェッチを再実行しているか、一連のプリフェッチ要求の中の2番目の要求に対して位置合わせを行っているか、プリフェッチのために次の全順次命令セットを選択しているか、によって決まる。最後に現在のプリフェッチ・アドレスPF\_\_PCがバス370上に送出され、実行PC制御ユニット366へ渡される。

【0072】新しいプリフェッチ・アドレスはいくつかのソースから発生する。アドレスの主要なソースはバス352経由で実行PC制御ユニット366から送出された現在のIF\_\_PCアドレスである。原理的には、IF\_\_PCアドレスからはリターン・アドレスが得られ、これは、初期コール、トラップまたはプロシージャ命令が現れたとき、プリフェッチPC制御ユニットによってあとで使用されるものである。IF\_\_PCアドレスは、これらの命令が現れるたびに、プリフェッチPC制御ユニット364内のレジスタにストアされる。このようにして、PC制御ユニット362は制御ライン350を通してIEUリターン信号を受けたとき、プリフェッチPC制御ユニット364内のリターン・アドレス・レジスタを選択して新しいプリフェッチ仮想アドレスを取り出すだけである、これによって元のプログラム命令ストリームを再開する。

【0073】プリフェッチ・アドレスのもう一つのソースは実行PC制御ユニット366から相対ターゲット・アドレス・バス382を経由して、あるいはIEU104から絶対ターゲット・アドレス・バス346を経由して送出されたターゲット・アドレス値である。相対ターゲット・アドレスとは、実行PC制御ユニット366によって直接に計算できるアドレスである。絶対ターゲット・アドレスは、これらのターゲット・アドレスがIEUレジスタ・ファイルに入っているデータに依存するので、IEU104に生成させる必要がある。ターゲット・アドレスはターゲット・アドレス・バス384を通してプリフェッチPC制御ユニット364へ送られ、プリフェッチ仮想アドレスとして使用される。相対ターゲット・アドレスを計算する際、対応するプランチ命令のオペランド部分もIデコード・ユニット262からバス318のオペランド変位部分を経由して送られる。

【0074】プリフェッチ仮想アドレスのもう1つのソースは、実行PC制御ユニット366である。リターン・アドレス・バス352'は、現在のIF\_\_PC値(D

(14)

25

PC) をプリフェッチPC制御ユニット364へ転送するためのものである。

【0075】このアドレスは、割り込み、トラップその他コールなどの制御フロー命令が命令ストリーム内に現れた個所でリターン・アドレスとして使用される。プリフェッチPC制御ユニット364は、新しい命令ストリームをプリフェッチするために解放される。PC制御ユニット362は、対応する割り込みまたはトラップ処理ルーチンまたはサブルーチンが実行されると、IEU104からライン350を経由してIEUリターン信号を受け取る。他方、PC制御ユニット362はライン372上のPFPC信号の一つを通して、およびライン350経由で送られてきて実行されたリターン命令のIDに基づいて、現在のリターン仮想アドレスを収めているレジスタを選択する。そのあと、このアドレスが使用されてPCロジック・ユニット270によるプリフェッチ・オペレーションを続行する。

【0076】最後に、プリフェッチ仮想アドレスが取り出されるもう一つのソースは、特殊レジスタ・アドレスおよびデータ・バス354である。IEU104によって計算またはロードされたアドレス値、または少なくともベース・アドレス値はデータとしてバス354を経由してプリフェッチPC制御ユニット364へ転送される。ベース・アドレスはトラップ・アドレス・テーブル、高速トラップ・テーブル、およびベース・プロシージャ命令ディスパッч・テーブルのアドレスを含んでいる。バス354を通して、プリフェッチおよびPC制御ユニット364、366内のレジスタの多くの読み取ることもできるので、マシンの状態の対応する側面をIEU104を通して処理することが可能である。

【0077】実行PC制御ユニット366は、PC制御ユニット362の制御を受けて、現在のIF\_PCアドレス値を計算することを主な役割としている。この役割において、実行PC制御ユニット366は、PC制御ユニット362からExPC制御ライン378を経由して送られてきた制御信号と、制御ライン380を経由して送られてきたインクリメント/サイズ制御信号を受け、IF\_PCアドレスを調整する。これらの制御信号は主に、ライン342経由で送られてきたIFI\_FO読取り制御信号とIEU104から制御ライン344経由で送られてきたPCインクリメント/サイズ値を受け取ると生成される。1) PFおよびExPC制御/データ・ユニットの詳細図4はプリフェッチおよび実行PC制御ユニット364、366の詳細ブロック図である。これらのユニットは主にレジスタ、インクリメンタ(増分器)その他の類似部品、セレクタおよび加算器ブロックから構成されている。これらのブロック間のデータ転送を管理する制御は、PFPC制御ライン372、ExPC制御ライン378およびインクリメント制御ライン374、380を通してPC制御ユニット362によって

26

行われる。説明を分かりやすくするために、図4のブロック図には、これらの個々の制御ラインは示されていない。しかし、これらの制御信号が以下に説明するように、これらのブロックへ送られることは勿論である。

【0078】プリフェッチPC制御ユニット364の中心となるものはプリフェッチ・セレクタ(PF\_PC\_SEL)390であり、これは現プリフェッチ仮想アドレスの中央セレクタとして動作する。この現プリフェッチ・アドレスはプリフェッチ・セレクタ390から出力バス392を通じてインクリメンタ・ユニット394へ送られて、次のプリフェッチ・アドレスを生成する。この次のプリフェッチ・アドレスはインクリメンタ出力バス396を通じてレジスタMBUF\_PFnPC398、TBUF\_PFnPC400、およびEBUF\_PFnPC402の並列配列へ送られる。これらのレジスタ398、400、402は実効的には次の命令プリフェッチ・アドレスをストアしているが、本発明の好適実施例によれば別々のプリフェッチ・アドレスがMBUF188、TBUF190およびEBUF192に保持されている。MBUF、TBUFおよびEBUF\_PFnPCレジスタ398、400、402にストアされたプリフェッチ・アドレスはアドレス・バス404、408、410からプリフェッチ・セレクタ390へ渡される。したがって、PC制御ユニット362はプリフェッチ・レジスタ398、400、402の別の1つをプリフェッチ・セレクタが選択することを指示することでプリフェッチ命令ストリームの即時切り換えを指示することができる。ストリームの中の次の命令セットをプリフェッチするために、そのアドレス値がインクリメンタ394によってインクリメントされると、その値がプリフェッチ・アドレス398、400、402のうち該当するレジスタへ返却される。もう1つの並列レジスタ配列は簡略化のため単一の特殊レジスタ・ブロック412と示されているが、この配列はいくつかの特殊アドレスをストアするためのものである。レジスタ・ブロック412はトラップ・リターン・アドレス・レジスタ、プロシージャ命令リターン・アドレス・レジスタ、プロシージャ命令ディスパッч・テーブル・ベース・アドレス・レジスタ、トラップ・ルーチン・ディスパッч・テーブル・ベース・アドレス・レジスタ、および高速トラップ・ルーチン・ベース・アドレス・レジスタから構成されている。PC制御ユニット362の制御を受けて、これらのリターン・アドレス・レジスタはバス352'を通して現IF\_PC実行アドレスを受け入れることができる。レジスタ・ブロック412内のリターンおよびベース・アドレス・レジスタにストアされたアドレス値はIEU104から独立して読み書きすることができる。レジスタが選択され、値が特殊レジスタ・アドレスおよびデータ・バス354を経由して転送される。

【0079】特殊レジスタ・ブロック412内のセレク

(15)

27

タはPC制御ユニット362によって制御され、レジスタ・ブロック412のレジスタにストアされたアドレスを特殊レジスタ出力バス416上に送出してプリフェッチ・セレクタ390へ渡すことができる。リターン・アドレスは直接にプリフェッチ・セレクタ390へ渡される。ベース・アドレス値は割り込み制御ユニット363から割り込みオフセット・バス373経由で送られてきたオフセット値と結合される。ソースからバス373'経由でプリフェッチ・セレクタ390へ渡された特殊アドレスは、新しいプリフェッチ命令ストリームの初期アドレスとして使用され、そのあとインクリメンタ394とプリフェッチ・レジスタ398、400、402の1つを通るアドレスのインクリメント・ループを続行することができる。

【0080】プリフェッチ・セレクタ390へ送られるアドレスのもう1つのソースは、ターゲット・アドレス・レジスタ・ブロック414内のレジスタ配列である。ブロック414内のターゲット・レジスタには好適実施例によれば8つの潜在的ブランチ・ターゲット・アドレスがストアされる。これらの8つの記憶ロケーションはIFIFOユニット264の最下位の2マスター・レジスタ216、224に保持されている8つの潜在的に実行可能な命令に論理的に対応している。これらの命令のどれでもが、および潜在的にはすべてが条件付きブランチ命令となり得るので、ターゲット・レジスタ・ブロック414は予め計算されたターゲット・アドレスをストアしておくので、TBUF190を通してターゲット命令ストリームをプリフェッチするために使用するのを待せることができる。特に、PC制御ユニット362がターゲット命令ストリームのプリフェッチを即時に開始するように条件付きブランチ・バイアスがセットされると、ターゲット・アドレスはターゲット・レジスタ・ブロック414からアドレス・バス418を経由してプリフェッチ・セレクタ390へ送られる。インクリメンタ394によってインクリメントされたあと、アドレスはTBUF\_PFnPC400へ戻されてストアされ、ターゲット命令ストリームをあとでプリフェッチするオペレーションで使用される。別のブランチ命令がターゲット命令ストリームに現れると、その2番目のブランチのターゲット・アドレスが計算され、最初の条件付きブランチ命令が解決されて使用されるまでの間、ターゲット・レジスタ配列414にストアされている。

【0081】ターゲット・レジスタ・ブロック414にストアされた計算で求めたターゲット・アドレスは実行PC制御ユニット366内のターゲット・アドレス計算ユニットからアドレス・ライン382を経由して、あるいはIEU104から絶対ターゲット・アドレス・バス346を経由して転送される。

【0082】プリフェッチPF\_Pcセレクタ390を通って転送されるアドレス値は、完全な32ビット仮想

28

アドレス値である。ページ・サイズは本発明の好適実施例では16Kバイトに固定されており、最大ページ・オフセット・アドレス値[13:0]に対応している。したがって、現プリフェッチ仮想ページ・アドレス[27:14]に変化がなければVMUページの変換は不要である。プリフェッチ・セレクタ390内のコンパレータはそのことを検出する。VMU変換要求信号(VMXLAT)は、インクリメントがページ境界をこえて行われたか、制御のフローが別のページ・アドレスへプランチしたために、仮想ページ・アドレスが変化したとき、ライン372'を経由してPC制御ユニット362へ送られる。他方、PC制御ユニット362はライン324上のCCU\_PADDRのほかに、VM\_VADDRアドレスをバッファ・ユニット420からライン326上に送出し、該当の制御信号をVMU制御ライン326、328、330上に送出して、VMU仮想ページから物理ページへの変換を得るように指示する。ページ変換が必要でない場合は、現物理ページ・アドレス[31:14]はバス122上のVMUユニット108の出力側のラッチによって保持される。

【0083】バス370上に送出された仮想アドレスはインクリメント制御ライン374から送られてきた信号を受けて、インクリメンタ394によってインクリメントされる。インクリメンタ394は、次の命令セットを選択するために、命令セットを表す値(4命令または16バイト)だけインクリメントする。CCUユニット106へ渡されるプリフェッチ・アドレスの下位4ビットはゼロになっている。したがって、最初のブランチ・ターゲット命令セット内の実際のターゲット・アドレス命令は最初の命令ロケーションに置かれていない場合がある。しかしアドレスの下位4ビットはPC制御ユニット362へ送られるので、最初のブランチ命令のロケーションをIFU102が判別することができる。ターゲット・アドレスの下位ビット[3:2]を2ビット・バッファ・アドレスとして返して、位置合わせされていないターゲット命令セットから実行すべき正しい最初の命令を選択するための検出と処理は、新しい命令ストリーム、つまり、命令ストリームの中の最初の非順次命令セット・アドレスの最初のプリフェッチのときだけ行われる。命令セットの最初の命令のアドレスと命令セットをプリフェッチする際に使用されるプリフェッチ・アドレスとの間の非位置合わせの関係は、現順次命令ストリームが存続している間無視することができ、そのあとも無視される。

【0084】図4に示した機能ブロックの残りの部分は実行PC制御ユニット366を構成している。本発明の好適実施例によれば、実行PC制御ユニット366は独立に機能するプログラム・カウンタ・インクリメンタを独自に備えている。この機能の中心となるのは実行セレクタ(DPC\_SEL)430である。実行セレクタ4

(16)

29

30からアドレス・バス352'上に出力されるアドレスはアーキテクチャ100の現在の実行アドレス(DP C)である。この実行アドレスは加算ユニット434へ送られる。ライン380上に送出されたインクリメント／サイズ制御信号は1から4までの命令インクリメント値を指定しており、この値は加算ユニット434によってセレクタ430から得たアドレスに加えられる。加算器432が出力ラッチ機能を実行するたびに、インクリメントされた次の実行アドレスがアドレス・ライン436を経て直接に実行セレクタ430に返され、次の命令インクリメント・サイクルで使用される。

【0085】初期実行アドレスとその後の全ての新しいストリーム・アドレスは、アドレスライン440を経由して新ストリーム・レジスタ・ユニット438から得られる。新ストリーム・レジスタ・ユニット438はプリフェッチ・セレクタ390からPFPCアドレス・バス370を経由して送られてきた新しい現プリフェッチ・アドレスを直接にアドレス・バス440に渡すことも、後で使用するためにストアしておくことができる。つまり、プリフェッチPC制御ユニット364が新しい仮想アドレスからプリフェッチを開始することを判断した場合は、新しいストリーム・アドレスは新ストリーム・レジスタ・ユニット438によって一時的にストアされる。PC制御ユニット362は、プリフェッチと実行インクリメントの両サイクルに関与することによって、実行アドレスが新命令ストリームを開始した制御フロー命令に対応するプログラム実行箇所までに達するまで新ストリーム・アドレスを新ストリーム・レジスタ438に置いておく。新ストリーム・アドレスはその後新ストリーム・レジスタ・ユニット438から出力されて、実行セレクタ430へ送られ、新命令ストリーム内の実行アドレスを独立して生成することを開始する。

【0086】本発明の好適実施例によれば、新ストリーム・レジスタ・ユニット438は2つの制御フロー命令ターゲット・アドレスをバッファリングする機能を備えている。新ストリーム・アドレスを同時に取り出すことにより、殆ど待ち時間がなく実行PC制御ユニット366を現実行アドレス列の生成から新実行アドレス・ストリーム列の生成に切り換えることができる。

【0087】最後にIF\_PCセレクタ(IF\_PC\_SEL)442は最終的に現IFPCアドレスをアドレス・バス352上に送出してIEU104へ送るためのものである。IF\_PCセレクタ442への入力は実行セレクタ430または新ストリーム・レジスタ・ユニット438から得た出力アドレスである。ほとんどの場合、IF\_PCセレクタ442はPC制御ユニット362の指示を受けて、実行セレクタ430から出力された実行アドレスを選択する。しかし、新命令ストリームの実行開始のために使用される新仮想アドレスへ切り替える際の待ち時間をさらに短縮するために、新ストリーム

10

・レジスタ・ユニット438からの選択したアドレスをバイパスして、バス440経由で直接にIF\_PCセレクタ442へ送り、現IF\_PC実行アドレスとして得ることができる。

【0088】実行PC制御ユニット366は、全ての相対プランチ・ターゲット・アドレスを計算する機能を備えている。現実行点アドレスと新ストリーム・レジスタ・ユニット438から得たアドレスは、アドレス・バス352'、440を経由して制御フロー・セレクタ(C F\_PC)446に渡される。その結果、PC制御ユニット362は大幅な柔軟性を持ってターゲット・アドレス計算の基となる正確な初期アドレスを選択することができる。

【0089】この初期アドレス、つまり、ベースアドレスはアドレス・バス454を経由してターゲット・アドレスALU450へ送られる。ターゲットALU450への入力となるもう1つの値は、制御フロー変位計算ユニット452からバス458経由で送られてくる。相対プランチ命令は、アーキテクチャ100の好適実施例によれば新相対ターゲット・アドレスを指定した即値モード定数の形態をした変位値を含んでいる。制御フロー変位計算ユニット452はIデコード・ユニットのオペランド出力バス318から初めて得たオペランド変位値を受け取る。最後に、オフセット・レジスタ値はライン456を経由してターゲット・アドレスALU450へ送られる。オフセット・レジスタ448はPC制御ユニット362から制御ライン378'を経由してオフセット値を受け取る。オフセット値の大きさはアドレス・ライン454上を送られるベース・アドレスから相対ターゲット・アドレスを計算するときの現プランチ命令のアドレスまでのアドレス・オフセットに基づいてPC制御ユニット362によって判断される。つまり、PC制御ユニット362は、IFO制御ロジック・ユニット272を制御することによって、現実行点アドレスの命令(CP\_PCによって要求された)とIデコード・ユニット262によって現在処理中の、従ってPCロジック・ユニット270によって処理中の命令を分離している命令の個数を追跡して、その命令のターゲット・アドレスを判断する。

【0090】相対ターゲット・アドレスがターゲット・アドレスALU450によって計算されると、そのターゲット・アドレスはアドレス・バス382を通して、対応するターゲット・レジスタ414に書き込まれる。

【0091】2) PC制御アルゴリズムの詳細  
 1. メイン命令ストリームの処理: MBUF PFnP C  
 1. 1 次のメイン・フロー・プリフェッチ命令のアドレスはMBUF PFnP Cにストアされる  
 1. 2 制御フロー命令がないときは、32ビット・インクリメンタはMBUF PFnP Cに入っているアド

50

30

(17)

31

レス値を各プリフェッチ・サイクルごとに16バイト (x 16) だけ調整する

1. 3 無条件制御フロー命令が I デコードされると、命令セットに続いてフェッチされた全てのプリフェッチ・データはフラッシュされ、MBUF\_PFnPC にはターゲット・レジスタ・ユニット、PF\_PPCセレクタおよびインクリメンタを通して、新しいメイン命令ストリーム・アドレスがロードされる。新しいアドレスは新ストリーム・レジスタにもストアされる

1. 3. 1 相対無条件制御フローのターゲット・アドレスは IFU が保持しているレジスタ・データからと制御フロー命令の後に置かれたオペランド・データから IFU によって計算される

1. 3. 2 絶対無条件制御フローのターゲット・アドレスはレジスタ基準値、ベース・レジスタ値、及びインデックス・レジスタ値から IEU によって最終的に計算される

1. 3. 2. 1 命令プリフェッチ・サイクルは絶対アドレス制御フロー命令に対してターゲット・アドレスが IEU から返されるまで停止する。命令実行サイクルは続行される

1. 4 無条件制御フロー命令から得た次のメイン・フロー・プリフェッチ命令のアドレスはバイパスされて、ターゲット・アドレス・レジスタ・ユニット、PF\_PPCセレクタおよびインクリメンタを経由して送られ、最終的に MBUF\_PFnPC にストアされ、プリフェッチは 1. 2 から続けられる

2. プロシージャ命令ストリームの処理：EBUF\_PFnPC

2. 1 プロシージャ命令はメインまたはプランチ・ターゲット命令ストリームの中でプリフェッチされる。ターゲット・ストリームの中でフェッチされた場合は条件付き制御フェッチ命令が解決され、プロシージャ命令が MBUF へ転送されるまでプロシージャ・ストリームのプリフェッチを停止する。これにより、プロシージャ命令ストリームに現れた条件付き制御フローを処理する際に TBUF を使用できる

2. 1. 1 プロシージャ命令はプロシージャ命令ストリームの中においてはならない。つまり、プロシージャ命令はネストしてはならない。プロシージャ命令からリターンすると、実行は主命令ストリームに戻る。ネストを可能にするためには、ネストしたプロシージャ命令から別の専用リターンが必要である。アーキテクチャはこの種の命令を容易にサポートできるが、プロシージャ命令をネストする機能があっても、アーキテクチャの性能が向上する見込みはない

2. 1. 2 メイン命令ストリームにおいては、第 1 及び第 2 条件付き制御フロー命令を含む命令セットを含んでいるプロシージャ命令ストリームは第 1 命令セットの中の条件付き制御フロー命令が解決し、第 2 条件付き制

32

御フロー命令セットが MBUF へ転送されるまで第 2 条件付き制御フロー命令セットに対してプリフェッチを停止する

2. 2 プロシージャ命令は、命令の即値モード・オペランド・フィールドとして含まれている相対オフセットによって、プロシージャ・ルーチンの開始アドレスを示している

2. 2. 1 プロシージャ命令から得られたオフセット値は IFU に維持されているプロシージャ・ベース・アドレス (PBR) レジスタに入っている値と結合される。この PBR レジスタは、特殊レジスタの移動命令が実行されると、特殊アドレスおよびデータバスを通して読み書き可能である

2. 3 プロシージャ命令が現れると、次のメイン命令ストリーム IF\_PPC アドレスは DPC リターン・アドレス・レジスタにストアされ、プロセッサ・ステータス・レジスタ (PSR) 内のプロシージャ進行中ビット (procedure-in-progress bit) がセットされる

2. 4 プロシージャ・ストリームの開始アドレスは、PBR レジスタ (プロシージャ命令オペランド・オフセット値を加えて) から PF\_PPC セレクタへ送られる

2. 5 プロシージャ・ストリームの開始アドレスは、新ストリーム・レジスタ・ユニットとインクリメンタへ同時に送られ、(x 16) だけインクリメントする。インクリメントされたアドレスはそのあと EBUF\_PFnPC にストアされる

2. 6 制御フロー命令がないと、32ビット・インクリメンタは各プロシージャ命令プリフェッチ・サイクルごとに EBUF\_PFnPC に入っているアドレス値を、(x 16) だけ調整する

2. 7 無条件制御フロー命令が I デコードされると、プランチ命令のあとにフェッチされた全てのプリフェッチ・データはフラッシュされ、EBUF\_PFnPC には新しいプロシージャ命令ストリーム・アドレスがロードされる

2. 7. 1 相対無条件制御フロー命令のターゲット・アドレスは IFU に保持されているレジスタデータからと制御フロー命令の即値モード・オペランド・フィールド内に入っているオペランド・データとから IFU によって計算される

2. 7. 2 絶対無条件プランチのターゲット・アドレスはレジスタ基準値、ベース・レジスタ値およびインデックス・レジスタ値から IEU によって計算される

2. 7. 2. 1 命令プリフェッチ・サイクルは絶対アドレス・プランチに対してターゲット・アドレスが IEU から返されるまで停止する。実行サイクルは続行される

2. 8 次のプロシージャ・プリフェッチ命令セットのアドレスは EBUF\_PFnPC にストアされプリフェッ

(18)

33

チは1. 2から続けられる

2. 9 プロシージャ命令からのリターンがIデコードされると、プリフェッチがuPCレジスタにストアされているアドレスから続けられ、そのあと(x16)だけインクリメントされ、あとでプリフェッチするためにMBUF PFnPCレジスタに返される

3 ブランチ命令ストリームの処理: TBUF PFnPC

3. 1 MBUF命令ストリームの中の最初の命令セットに現れた条件つき制御フロー命令がIデコードされると、ターゲット・アドレスはそのターゲット・アドレスが現アドレスに対する相対アドレスならばIFUによって絶対アドレスならばIEUによって判断される

3. 2 「ブランチを行うバイアス」の場合:

3. 2. 1 ブランチが絶対アドレスに行われる場合はターゲット・アドレスがIEUから返されるまで命令プリフェッチ・サイクルを停止する。実行サイクルは続行される

3. 2. 2 PFnPCセレクタとインクリメンタを経由して転送することによってブランチ・ターゲット・アドレスをTBUF PFnPCにロードする

3. 2. 3 ターゲット命令ストリームがプリフェッチされてTBUFに入れられたあとで実行するためにIFOに送られる。IFOとTBUFが一杯になると、プリフェッチを停止する

3. 2. 4 32ビット・インクリメンタは各プリフェッチ・サイクルごとにTBUF PFnPCに入っているアドレス値を(x16)だけ調整する

3. 2. 5 ターゲット命令ストリーム内の2番目の命令セットに現れた条件つき制御フロー命令がIデコードされるとプリフェッチ・オペレーションを、第1の

(主) セット内の全ての条件つきブランチ命令が解決されるまで停止する(しかし、先に進んで、相対ターゲット・アドレスを計算しターゲット・レジスタにストアする)

3. 2. 6 最初の命令セット内の条件つきブランチを「行う」と解釈された場合:

3. 2. 6. 1 ブランチのソースがプロシージャ進行中ビットから判断されたEBUF命令セットであったときはMBUFまたはEBUFに入っている最初の条件付きフロー命令セットのあとに置かれた命令セットをフラッシュする

3. 2. 6. 2 プロシージャ進行中ビットの状態に基づいて、TBUF PFnPC値をMBUF PFnPCまたはEBUFへ転送する

3. 2. 6. 3 プロシージャ進行中ビットの状態に基づいて、プリフェッチしたTBUF命令をMBUFまたはEBUFへ転送する

3. 2. 6. 4 2番目の条件付きブランチ命令セットがIデコードされていなければ、プロシージャ進行中ビ

34

ットの状態に基づいて、MBUFまたはEBUFプリフェッチ・オペレーションを続行する

3. 2. 6. 5 2番目の条件付きブランチ命令がIデコードされていれば、その命令の処理を開始する(ステップ3. 3. 1へ進む)

3. 2. 7 最初の条件付き命令セットの中の命令に対する条件付き制御を「行わない」と解釈された場合:

3. 2. 7. 1 ターゲット命令ストリームからの命令セットと命令のIFOとIEUをフラッシュする

10 3. 2. 7. 2 MBUFまたはEBUFプリフェッチ・オペレーションを続行する

3. 3 「ブランチが行われないバイアス」の場合:

3. 3. 1 命令をプリフェッチしてMBUFに入れることを停止する。実行サイクルを続ける

3. 3. 1. 1 最初の条件付き命令セットの中の条件付き制御フロー命令が相対ならばターゲット・アドレスを計算し、ターゲット・レジスタにストアする

3. 3. 1. 2 最初の条件付き命令セットの中の条件付き制御フロー命令が絶対ならば、IEUがターゲット・アドレスを計算して、そのアドレスをターゲット・レジスタに返すまで待つ

3. 3. 1. 3 2番目の命令セットの中の条件付き制御フロー命令のIデコードが行われると、最初の条件付き命令セットの中の条件付き制御フロー命令が解決されるまでプリフェッチ・オペレーションを停止する

3. 3. 2 最初の条件付きブランチのターゲット・アドレスが計算されると、TBUF PFnPCにロードし、メイン命令ストリームの実行と並行して命令をプリフェッチしてTBUFに入れることを開始する。ターゲット命令セットはロードされない(したがって、ブランチ・ターゲット命令は最初の命令セット中の各条件付き制御フロー命令が解決されたとき用意されている)

3. 3. 3 最初のセットの中の条件つき制御フロー命令が「行われる」と解釈された場合:

3. 3. 3. 1 ブランチのソースがEBUF命令ストリームであるとプロシージャ進行中ビットの状態から判断されると、MBUFまたはEBUFをフラッシュし、最初の条件付きブランチ命令セットのあとに置かれたメイン・ストリームからの命令のIFOとIEUをフラッシュする

3. 3. 3. 2 プロシージャ進行中ビットの状態から判断した通りに、TBUF PFnPC値をMBUF PFnPCまたはEBUFへ転送する

3. 3. 3. 3 プロシージャ進行中ビットの状態から判断した通りに、プリフェッチしたTBUF命令をMBUFまたはEBUFへ転送する

3. 3. 3. 4 プロシージャ進行中ビットの状態から判断した通りに、MBUFまたはEBUFプリフェッチ・オペレーションを続行する

50 3. 3. 4 最初のセット内の条件付き制御フロー命令

(19)

35

が「行われない」と解析された場合：

3. 3. 4. 1 ターゲット命令ストリームからの命令セットのTBUFをフラッシュする

3. 3. 4. 2 2番目の条件付きブランチ命令がIコードされなかった場合は、プロシージャ進行中ビットの状態から判断した通りに、MBUFまたはEBUFプリフェッチ・オペレーションを続ける

3. 3. 4. 3 2番目の条件付きブランチ命令がIコードされた場合は、その命令の処理を開始する（ステップ3. 4. 1へ進む）

4 割り込み、例外およびトラップ命令

4. 1 トラップは広義には次のものからなる

4. 1. 1 ハードウェア割り込み

4. 1. 1. 1 非同期（外部）発生事象、内部または外部

4. 1. 1. 2 いつでも発生し、持続する

4. 1. 1. 3 アトミック（通常）命令間で優先順にサービスを受け、プロシージャ命令を一時中止する

4. 1. 1. 4 割り込みハンドラの開始アドレスはトラップ・ハンドラ入り口点の事前定義テーブルまでのベクトル番号オフセットとして判断される

4. 1. 2 ソフトウェア・トラップ命令

4. 1. 2. 1 非同期（外部）発生命令

4. 1. 2. 2 例外として実行されるソフトウェア命令

4. 1. 2. 3 トラップ・ハンドラの開始アドレスは、TBRまたはFTBレジスタにストアされたベース・アドレス値と結合されたトラップ番号オフセットから判断される

4. 1. 3 例外

4. 1. 3. 1 命令と同期して発生する事象

4. 1. 3. 2 命令の実行時に処理される

4. 1. 3. 3 例外の結果により、期待された命令とすべての後続実行命令はキャンセルされる

4. 1. 3. 4 例外ハンドラの開始アドレスは、トラップ・ハンドラ入り口点の事前定義テーブルまでのトラップ番号オフセットから判断される

4. 2 トラップ命令ストリーム・オペレーションはそのとき実行中の命令ストリームとインラインで実行される

4. 3 トラップ処理ルーチンが次の割り込み可能トラップの前にxPCアドレスをセーブすることを条件に、トラップはネストが可能である。そうしないと、現トラップ・オペレーションの完了前にトラップが現れると、マシンの状態が壊れることになる

5 トラップ命令ストリームの処理：xPC

5. 1 トラップが現れた時：

5. 1. 1 非同期割り込みが起こると、そのとき実行中の命令は一時中断される

5. 1. 2 同期例外が起こると、例外を起こした命令

36

が実行されるとトラップが処理される

5. 2 トラップが処理されたとき：

5. 2. 1 割り込みは禁止される

5. 2. 2 現在のIF\_P CアドレスはxPCトラップ状態リターン・アドレス・レジスタにストアされる

5. 2. 3 IF\_P Cアドレスとその他のアドレスにあるIFOとMBUFプリフェッチ・バッファはフラッシュされる

10 5. 2. 4 アドレスIF\_P Cと、その他のアドレスの実行された命令と、その命令の結果はIEUからフラッシュされる

5. 2. 5 MBUF\_PFnPCに、トラップ・ハンドラ・ルーチンのアドレスがロードされる

5. 2. 5. 1 トラップのソースは特殊レジスタ群に入っているトラップ番号によって判断されたトラップ・タイプに応じてTBRまたはFTBレジスタをアドレス指定している

5. 2. 6 命令がプリフェッチされ、通常通りに実行するためにIFOに入れられる

20 5. 2. 7 トラップ・ルーチンの命令がそのあと実行される

5. 2. 7. 1 トラップ処理ルーチンはxPCアドレスを所定のロケーションにセーブする機能を備え、割り込みを再び可能にする。xPCレジスタは特殊レジスタ移動命令で、および特殊レジスタ・アドレスとデータ・バスを通して読み書きされる

5. 2. 8 トラップ命令からのリターンを実行することによってトラップ状態から抜け出る必要がある

30 5. 2. 8. 1 以前にセーブしていた時はxPCアドレスをその事前定義ロケーションから復元してからトラップ命令からのリターンを実行する必要がある

5. 3 トラップ命令からのリターンが実行されたとき：

5. 3. 1 割り込みが可能にされる

5. 3. 2 プロシージャ進行中ビットの状態から判断したとおりに、xPCアドレスが現在の命令ストリーム・レジスタMBUFまたはEBUF\_PFnPCに戻され、プリフェッチがそのアドレスから続行される

40 5. 3. 3 xPCアドレスが新ストリーム・レジスタを通してIFPCレジスタに復元される。

【0092】E) 割り込みおよび例外の処理

1) 概要

割り込みと例外は、それらが可能にされている限り、プロセッサがメイン命令ストリームから実行されているか、プロシージャ命令ストリームから実行されているか、プロシージャ命令ストリームから実行されているかに関係なく処理される。割り込みと例外は優先順にサービスが受けられ、クリアされるまで持続している。トラップ・ハンドラの開始アドレスは下述するように、トラップ・ハンドラの事前定義テーブルまでのベクトル番号

50

(20)

37

オフセットとして判断される。

【0093】割り込みと例外は、本実施例では基本的に2つのタイプがある。すなわち、命令ストリームの中の特定の命令と同期して引き起こされるものと、命令ストリームの中の特定の命令と非同期に引き起こされるものである。割り込み、例外、トラップおよびフォールト(fault)の用語は、本明細書では相互に使い分けている。非同期割り込みは、命令ストリームと同期して動作していない、オン・チップまたはオフ・チップのハードウェアによって引き起こされる。例えば、オン・チップ・タイマ/カウンタによって引き起こされる割り込みは、オフ・チップから引き起こされるハードウェア割り込みやマスク不能割り込み(non-maskable interrupt) (NMI) と同じように、非同期である。非同期割り込みが引き起こされると、プロセッサ・コンテキストが凍結され(frozen)、すべてのトラップが割り込み禁止され、ある種のプロセッサ状況情報がストアされ、プロセッサは受け取った特定の割り込みに対応する割り込みハンドラにベクトルを向ける。割り込みハンドラがその処理を完了すると、プログラム実行は割り込み発生時に実行中であったストリームの中の最後に完了した命令のあとに置かれた命令から続けられる。

【0094】同期例外とは、命令ストリームの中の命令と同期して引き起こされる例外である。これらの例外は特定の命令に関連して引き起こされ、問題の命令が実行されるまで保留される。好適実施例では、同期例外はプリフェッヂ時、命令デコード時、または命令実行時に引き起こされる。プリフェッヂ例外には、例えばTLB不一致、その他のVMU例外がある。デコード例外は、例えばデコード中の命令が違法命令であるか、プロセッサの現特権レベル(privilege level)に一致していないと引き起こされる。実行例外は、例えばゼロによる除算といった算術演算エラーが原因で引き起こされる。これらの例外が起こると、好適実施例では例外を引き起こした特定命令と例外とを対応づけ、その命令が退避(retrace)されるときまでその状態が維持される。その時点で、以前に完了した命令がすべて退避され、例外を引き起こした命令からの試行的結果があれば、試行的に実行された後続の命令の試行的結果と同じようにフラッシュされる。そのあと、その命令で引き起こされた最高優先度例外に対応する例外ハンドラに制御が渡される。

【0095】ソフトウェア・トラップ命令はCF\_DE\_T274(図2)によってIデコード・ステージで検出され、無条件コール命令その他の同期トラップと同じように処理される。つまり、ターゲット・アドレスが計算され、プリフェッヂはそのときのプリフェッヂ待ち行列(EBUFまたはMBUF)まで続けられる。これと同時に、その例外は命令と対応づけられて記録され、命令

(20)

38

が退避されるとき処理される。他のタイプの同期例外はすべて、例外を引き起こした特定命令と対応づけられて記録され、累積されるだけで実行時に処理される。

【0096】2) 非同期割り込み：非同期割り込みは、割り込みライン292を通してPCロジック・ユニット270に通知される。図3に示すように、これらのラインはPCロジック・ユニット270内の割り込みロジック・ユニット363に通知するためのもので、NMIライン、IRQラインおよび1組の割り込みレベル・ライン(LVL)からなっている。NMIラインはマスク不能割り込みを通知し、外部ソースを起点としている。これは、ハードウェア・リセットを除き最高優先度割り込みである。IRQラインも外部ソースを起点としており、外部デバイスがハードウェア割り込みをいつ要求したかを通知する。好適実施例では、外部から起こされるハードウェア割り込みは最高32個までユーザが定義することができ、割り込みを要求した特定外部デバイスは割り込みレベル・ライン(LVL)上に割り込み番号(0-31)を送出する。メモリ・エラー・ラインはMCU110によってアクティベート(活性化)され、様々な種類のメモリ・エラーを通知する。その他の非同期割り込みライン(図示せず)も割り込みロジック・ユニット363に通知するために設けられている。これらには、タイマ/カウンタ割り込み、メモリ入出力(I/O)エラー割り込み、マシン・チェック割り込み、およびパフォーマンス・モニタ割り込みを要求するためのラインがある。

【0097】非同期割り込みの各々は下述する同期例外と同様に対応する事前定義トラップ番号が関連付けられている。これらのトラップ番号は32個が32個のハードウェア割り込みレベルと関連付けられている。これらのトラップ番号のテーブルは割り込みロジック・ユニット363に維持されている。一般にトラップ番号が大きくなると、トラップの優先度が高くなる。

【0098】非同期割り込みの一つが割り込みロジック・ユニット363に通知されると、割り込み制御ユニット363は割り込み要求をINT REQ/ACKライン340を経由してIEU104へ送出する。また、割り込み制御ユニット363はプリフェッヂ時中止信号をライン343を経由してPC制御ユニット362へ送信し、PC制御ユニット362に命令をプリフェッヂすることを中止させる。IEU104はそのときの実行中の命令を全てキャンセルし、すべての試行的結果を中止するか、一部またはすべての命令を完了させる。好適実施例では、そのとき実行中の命令をすべてキャンセルすることによって、非同期割り込みに対する応答を高速化している。いずれの場合も、実行PC制御ユニット366内のDPCは、IEU104が割り込みの受信を確認する前に、最後に完了し、退避された命令に対応するよう更新される。プリフェッヂされて、MBUF、EB

(21)

39

UF、TBUFおよびIFIFO264に置かれている他の命令もすべてキャンセルされる。

【0099】IEU104は割り込みハンドラから割り込みを受け取る準備状態にあるときだけ、割り込み受信確認信号をINT REQ/ACKライン340を経由して、割り込み制御ユニット363へ送り返す。この信号を受け取ると、割り込み制御ユニット363は、以下で説明するように、該当するトラップ・ハンドラにディスパッチする。

### 【0100】3) 同期例外

同期例外の場合は、割り込み制御ユニット363は各命令セットごとに4個が1組の内部例外ビット（図示せず）をもっており、各ビットはセット内の各命令に対応づけられている。割り込み制御ユニット363は各命令で見つかったとき、通知するトラップ番号も維持している。

【0101】特定の命令セットがプリフェッчされている途中で、VMUがTLB不一致または別のVMU例外を通知するとこの情報はPCロジック・ユニット270へ、特に割り込み制御ユニット363へVMU制御ライン332、334を経由して送られる。割り込み制御ユニット363は、この信号を受信すると、以後のプリフェッчを一時中止するようにライン343を経由して、PC制御ユニット362に通知する。これと同時に、割り込み制御ユニット363は、命令セットが送られる先のプリフェッч・バッファに関連するVM\_MISSまたはVM\_EXCPビットのどちらか該当する方をセットする。その後、割り込み制御ユニット363は命令セットの中の命令のどれも有効でないので、その命令セットに対応する4個の内部例外標識ビットを全部セットし、問題を起こした命令セットの中の4命令の各々に対応して受信した特定例外のトラップ番号をストアする。問題のある命令より前の命令のシフトと実行は、問題の命令セットがIFIFO264内で最低レベルに達するまで通常通りに続行される。

【0102】同様に、プリフェッч・バッファ260、Iデコード・ユニット262またはIFIFO264を通して命令をシフトしている途中で他の同期例外が検出されると、この情報も割り込み制御ユニット363へ送られ、ユニット363は例外を引き起こした命令に対応する内部例外標識ビットをセットし、その例外に対応するトラップ番号をストアする。プリフェッч同期例外の場合と同じように、問題を起こした命令より前の命令のシフトと実行は、問題の命令セットがIFIFO264内で最低レベルに達するまで通常通りに続行される。

【0103】好適実施例では、プリフェッч・バッファ260、Iデコード・ユニット262またはIFIFO264を通して命令をシフトしている途中で検出される例外は、ソフトウェア・トラップ命令の1タイプだけである。ソフトウェア・トラップ命令は、CF\_DETユ

40

ニット274によってIデコード・ステージで検出される。一部の実施例では他の形態の同期例外がIデコード・ステージで検出されるが、他の同期例外の検出は、命令が実行ユニット104に到着するまで待つようになるのが好ましい。このようにすれば、特権命令を処理すると起こるようなある種の例外が、命令が実効的に順序内で実行される前に変化する恐れのあるプロセッサ状態に基づいて通知されるのが防止される。違法命令のように、プロセッサ状態に左右されない例外はIデコード・ステージで検出可能であるが、すべての実行前同期例外（VMU例外は別として）と同じロジックで検出するようすれば、最低限のハードウェアですむことになる。また、そのような例外の処理は時間を重視することがめったにないので、命令が実行ユニット104に届くまでの待ちによる時間浪費もない。

【0104】上述したように、ソフトウェア・トラップ命令は、CF\_DETユニット274によってIデコード・ステージで検出される。割り込みロジック・ユニット363内のその命令に対応する内部例外標識ビットはセットされ、0から127までの番号で、ソフトウェア・トラップ命令の即値モード・フィールドに指定できるソフトウェア・トラップ番号はトラップ命令に対応付けられてストアされる。しかし、プリフェッч同期例外と異なり、ソフトウェア・トラップは制御フロー命令だけでなく、同期例外としても扱われる所以、割り込み制御ユニット363は、ソフトウェア・トラップ命令が検出されたときプリフェッчを一時中止するようにPC制御ユニット362に通知しない。その代わりに、命令がIFIFO264を通してシフトされるのと同時にIFU102はトラップ・ハンドラをプリフェッчしてMBUF命令ストリーム・バッファに入れる。

【0105】命令セットがIFIFO264の最低レベルまで達すると、割り込みロジック・ユニット363はその命令セットの例外標識ビットを4ビット・ベクトルとしてSYNCH\_INT\_INFOライン341経由でIEU104へ送り、命令セットの中で同期例外の発生源とすでに判断されていた命令があれば、どの命令であるかを通知する。IEU104は即時に応答しないで、命令セットの中の全ての命令が通常の方法でスケジュールされるようにする。整数算術演算例外と言った別の例外は、実行時に引き起こされる場合がある。特権命令が実行されたために起こる例外のように、マシンの現在状態に左右される例外もこの時点で検出され、マシンの状態が命令ストリーム内の以前の全ての命令に対して最新となるようにするために、PSRに影響を与える可能性のあるすべての命令（特殊な移動やトラップ命令からのリターンなど）は強制的に順序内で実行される。なんらかの同期命令の発生源となった命令が退避される直前にあるときだけ、例外が起こったことが割り込みロジック・ユニット363に通知される。

(22)

41

【0106】IEU104は試行的に実行され、同期例外を引き起こした最初の命令に先行する命令に現れた全ての命令を退避し、試行的に実行され、命令ストリームにそのあとに現れた命令からの試行的結果をフラッシュする。例外を引き起こした特定の命令は、トラップから戻ると再実行されるのが普通であるので、この命令もフラッシュされる。そのあと、実行PC制御ユニット366内のIF\_PCは実際に退避された最後の命令に対応するように更新され、例外が割り込み制御ユニット363に通知される。

【0107】例外の発生源である命令が退避されると、IEU104は退避される命令セット（レジスタ224）の中に同期例外を起こした命令があれば、どの命令であるかを示した新しい4ビット・ベクトルを命令セット内の最初の例外の発生源を示した情報と一緒に、SYNCH\_INT\_INFOライン341を経由して割り込みロジック・ユニット363に返却する。IEU104から返却される4ビット例外ベクトルに入っている情報は、割り込みロジック・ユニット363からIEU104に渡された4ビット例外ベクトルとIEU104で引き起こされた例外を累積したものである。プリフェッチまたはIデコード時に検出された例外が原因で割り込み制御ユニット363にすでにストアされている情報があれば、その情報と一緒にIEU104から割り込み制御ユニット363に返却される情報の残余部分は、割り込み制御ユニット363が最高優先度同期例外の内容とそのトラップ番号を判断するのに十分である。

4) ハンドラ・ディスパッチとリターン：割り込み受信確認信号がライン340経由でIEUから受信されるか、あるいはゼロ以外の例外ベクトルがライン341経由で受信された後、現DPCがリターン・アドレスとして特殊レジスタ412（図4）の一つであるxPCレジスタに一時的にストアされる。現プロセッサ状態レジスタ（PSR）は先のPSR（PPSR）レジスタにもストアされ、そして現状態比較レジスタ（CSR）が特殊レジスタ412の中の旧状態比較レジスタ（PCSR）にセーブされる。

【0108】トラップ・ハンドラのアドレスはトラップ・ベース・レジスタ・アドレスにオフセットを加えたものとして計算される。PCロジック・ユニット270はトラップ用に2つのベースレジスタを持ち、これらは共に特殊レジスタ412（図4）の一部であり、以前に実行された特殊移動命令によって初期化される。大部分のトラップでは、ハンドラのアドレスを計算するために使用されるベース・レジスタはトラップ・ベース・レジスタTBRである。

【0109】割り込み制御ユニット363は、現在保留中の最高優先度割り込みまたは例外を判断し、索引（100k-up）テーブルを通して、それに関連付けられたトラップ番号を判断する。これは、選択したベース・

(22)

42

レジスタまでのオフセットとして、1組のINT\_OF\_FSETライン373を経由してプリフェッチPC制御ユニット364へ渡される。ベクトル・アドレスは、オフセット・ビットを下位ビットとしてTBRレジスタから得た上位ビットに連結するだけで求められるという利点がある。このため、加算器の遅延が防止される。（本明細書では2'ビットとはi'番目のビットのことである。）例えばトラップの番号が0から255までで、これを8ビット値で表すと、ハンドラ・アドレスは8ビット・トラップ番号を22ビットとTBRストア値の最後に連結すると求められる。トラップ番号に2桁の下位ビットを付加すると、トラップ・ハンドラ・アドレスは常にワード境界上に置かれることになる。このようにして作られた連結ハンドラ・アドレスは入力373の一つとしてプリフェッチ・セレクタPF\_PC\_Sel390（図4）へ送られ、次のアドレスとして選択され、そこから命令がプリフェッチされる。TBRレジスタを使用したトラップのベクトル・ハンドラ・アドレスは全て1ワードだけ離れている。したがって、トラップ・ハンドラ・アドレスにある命令は、長くなったトラップ処理ルーチンへの予備的プランチ命令でなければならない。しかし、トラップにはシステム・パフォーマンスの低下を防止するために、その扱いに注意が必要なものがいくつもある。例えばTLBトラップは高速に実行させる必要がある。そのような理由から、好適実施例では、予備的プランチの費用を払わないで、小型のトラップ・ハンドラを呼び出せるようにした高速トラップ・メカニズムが組み込まれている。さらに、高速トラップ・ハンドラはメモリにも、例えば、オン・チップROMにも独立に配置させることができるので、RAMの位置（ロケーション）に関連するメモリ・システム問題がなくなる。

【0110】好適実施例では、高速トラップとなるトラップは上述したVMU例外だけである。高速トラップの番号は他のトラップと区別され、0～7の範囲になっている。しかし、優先度はMMU例外と同じである。割り込み制御ユニット363は、高速トラップがそのとき保留中の最高優先度であると認めると、特殊レジスタ（FTB）から高速トラップ・ベース・レジスタ（FTB）を選択し、トラップ・オフセットと結合するためにライン416上に送出する。ライン373'経由でプリフェッチ・セレクタPF\_PC\_Sel390へ送られた結果のベクトル・アドレスはFTBレジスタからの上位22ビットを連結したもので、そのあとに高速トラップ番号を表した3ビットが続き、そのあとに7個のゼロ・ビットが続いている。したがって、各高速トラップ・アドレスは128バイト、つまり32ワードだけ離れている。呼び出されると、プロセッサは開始ワードへプランチし、ブロックまたはそこからでたプランチ内でプログラムを実行させる。

【0111】32個またはそれ以下の命令で実現できる

(23)

43

標準的なT L B処理ルーチンのような小さなプログラムの実行は、実際の実行処理ルーチンへの予備的プランチが回避されるので、通常のトラップよりも高速化される。

【0112】好適実施例では、すべての命令は同じ4バイト長になっているが（つまり、4つのアドレス・ロケーションを占有する）、注目すべきことは命令が可変長になったマイクロプロセッサでも高速トラップ・メカニズムが利用できることである。この場合、高速トラップ・ベクトル・アドレス間には、マイクロプロセッサで使用できる最短長の命令を少なくとも2つ、好ましくは32個の平均サイズ命令を受け入れるだけの十分なスペースが設けられることは勿論である。勿論、マイクロプロセッサがトラップからのリターン命令を備えている場合には、ベクトル・アドレス間にはハンドラ内の少なくとも1つの他の命令をその命令におけるだけの十分なスペースを設けておく必要がある。

【0113】また、トラップ・ハンドラへディスパッチすると、プロセッサはカーネル・モードと割り込み状態に入る。これと並行して状態比較レジスタ（CSR）のコピーが以前のキャリー状態レジスタ（PCSR）に置かれ、PSRのコピーが以前のPSR（PPSR）にストアされる。カーネルと割り込み状態モードはプロセッサ状況レジスタ（PSR）内のビットで表される。現PSRの割り込み状態ビットがセットされるとシャドウ・レジスタまたはトラップ・レジスタRT[24]～RT[31]が上述および図7(b)に示すように見えるようになる。割り込みハンドラは新しいモードをPSRに書込むだけでカーネル・モードから出る事ができるが、割り込み状態から出るためには、トラップからのリターン（RTT）命令を実行する方法だけが唯一の方法である。

【0114】IEU104がRTT命令を実行すると、PCSRは、CSRレジスタに復元され、PPSRレジスタはPSRレジスタに復元されるので、PSR内の割り込み状態ビットは自動的にクリアされる。PF\_PC

SELセレクタ390は特殊レジスタ・セット412の中の特殊レジスタxPCを次にそこからプリフェッチするアドレスとして選択する。xPCはインクリメンタ394とバス396を通してMBUF\_PFnPCまたはEBUF\_PFnPCのどちらか該当する方に復元される。xPCをEBUF\_PFnPCに復元すべきか、またはMBUF\_PFnPCに復元すべきかの判断は、復元された後のPSRの「プロシージャ進行中」ビットにしたがって行われる。

【0115】注目すべきことは、プロセッサはトラップとプロシージャ命令の両方のリターン・アドレスをストアするのに同じ特殊レジスタxPCを使用しないことである。トラップのリターン・アドレスは上述したように特殊レジスタxPCにストアされるが、プロシージャ命

44

令のあとリターンする先のアドレスは別の特殊レジスタuPCにストアされる。したがって、割り込み状態は、プロセッサが、プロシージャ命令で呼び出されたエミュレーション・ストリームを実行している間でも、使用可能のままになっている。他方、例外処理ルーチンはエミュレーション・ストリームが完了した後、例外ハンドラへ戻るためのアドレスをストアする特殊レジスタがないので、いずれのプロシージャ命令をも含んでいてはならない。

10 5) ネスト：ある種のプロセッサ状況情報は、トラップ・ハンドラ、特にCSR、PSR、リターンPCおよびある意味では“A”レジスタ・セットra[24]～ra[31]へディスパッチするとき自動的にバックアップが取られるが、他のコンテキスト情報は保護されていない。例えば浮動小数点状況レジスタ（FSR）の内容は自動的にバックアップがとられない。トラップ・ハンドラがこれらのレジスタを変更するためには、独自のバックアップを実行しなければならない。

【0116】トラップ・ハンドラへディスパッチするとき自動的に行われるバックアップが制限されているために、トラップのネストは自動的に行われない。トラップ・ハンドラは必要とするレジスタのバックアップをとり、割り込み条件をクリアし、トラップ処理のために必要な情報をシステム・レジスタから読み取り、その情報を適当に処理する必要がある。割り込みは、トラップ・ハンドラへディスパッチすると自動的に禁止される。処理を終えると、ハンドラはバックアップをとったレジスタを復元し、再び割り込みを可能にし、RTT命令を実行して割り込みから戻ることができる。

30 6) 【0117】ネストされたトラップを可能にするには、トラップ・ハンドラを第1部分と第2部分に分割する必要がある。第1部分では、割り込みが禁止されている間に、特殊レジスタ移動命令を使用してxPCをコピーし、トラップ・ハンドラが維持しているスタック上にpushしておき必要がある。次に、特殊レジスタ移動命令を使用して、トラップ・ハンドラの第2部分の先頭のアドレスをxPCに移し、トラップからのリターン命令（RTT）を実行する必要がある。RTTは割り込み状態を取り除き（PPSRをPSRに復元することによって）、制御をxPC内のアドレスに移す。xPCには、ハンドラの第2部分のアドレスが入っている。第2部分はこの時点で割り込みを可能にして、割り込み可能モードで例外の処理を続けることができる。注目すべきことは、シャドウ・レジスタRT[24]～RT[31]はこのハンドラの第1部分でのみ見ることができ、第2部分では見えないことである。したがって、第2部分ではハンドラは“A”レジスタ値がハンドラによって変更される可能性がある場合には、その値を予約しておく必要がある。トラップ処理ルーチンは終わったときは、バックアップにとったレジスタを全て復元し、元のxPCを

(24)

45

トラップ・ハンドラ・スタッフからポップし、それを特殊レジスタ移動命令を使用して xPC 特殊レジスタに戻して、別の RTT を実行する必要がある。これにより、制御はメインまたはエミュレーション命令ストリームの中の該当命令に返される。

46

\* 6) トランプ一覧表: 次の表 I は、好適実施例で認識されるトランプのトランプ番号、優先度および処理モードを示すものである。

[0118]

表 1

<u>トラップ番号</u>	<u>処理モード</u>	<u>同期</u>	<u>トラップ名</u>
0-127	通常	同期	トラップ命令
128	通常	同期	F P例外
129	通常	同期	整数算術演算例外
130	通常	同期	MMU (T L B不一致または修正を除く)
135	通常	同期	不整列メモリアドレス
136	通常	同期	違法命令
137	通常	同期	特権命令
138	通常	同期	デバッグ例外
144	通常	非同期	性能モニタ
145	通常	非同期	タイマ／カウンタ
146	通常	非同期	メモリ／Oエラー
160-191	通常	非同期	ハードウェア割込み
192-253	予約		
254	通常	非同期	マシン・チェック
255	通常	非同期	N M I
0	高速トラップ	同期	高速MMU T L B不一致
1	高速トラップ	同期	高速MMU T L B修正
2-3	高速トラップ	同期	高速(予約)
4-7	高速トラップ	同期	高速(予約)

### III. 命令実行ユニット

図5はIEU104の制御経路部分とデータ経路部分を示したものである。主要データ経路は、IFU102からの命令/オペランド・データ・バスを始端としている。データ・バスとして、即値オペランドはオペランド位置合わせユニット470へ送られ、レジスタ・ファイル(REG ARRAY)472に渡される。レジスタ・データはレジスタ・ファイル472からバイバス・ユニット474を通って、レジスタ・ファイル出力バス476を経由し、分配バス480を経由して機能計算エレメント(FU0-n)の並列配列へ送られる。機能ユニット4780-nによって生成されたデータは出力バス482を経由して、バイバス・ユニット474またはレジスタ配列472または両方へ送り返される。

【0119】ロード／ストア・ユニット484によってIEU104のデータ経路部分が完成される。ロード／ストア・ユニット484はIEU104とCCU106間のデータ転送の管理を担当する。具体的には、CCU106のデータ用キャッシュ134から取り出したロード・データはロード／ストア・ユニット484によってロード・データ・バス486を経由してレジスタ配列4

30 72へ転送される。CCU106のデータ用キャッシュにストアされるデータは機能ユニットの分配バス480から受信される。

【0120】IEU104の制御経路部分はIEUデータ経路を通る情報の送出、管理、およびその処理を行うことを担当する。本発明の好適実施例では、IEU制御経路は複数の命令の並行実行を管理する機能を備え、IEUデータ経路はIEU104のほぼすべてのデータ経路エレメント間の複数のデータ転送を独立して行う機能を備えている。IEU制御経路は命令／オペランド・バ

40 ス 1 2 4 を経由して命令を受信すると、それに応じて動作する。具体的には命令セットは E デコード・ユニット 4 9 0 によって受信される。本発明の好適実施例では、E デコード・ユニット 4 9 0 は I F I F O マスター・レジスタ 2 1 6 、 2 2 4 に保持されている両方の命令セットを受信して、デコードする。8 命令すべてのデコードの結果は、キャリー・チェック ( C R Y C H K R ) ユニット 4 9 2 、依存性チェック ( D E P C H K R ) ユニット 4 9 4 、レジスタ改名ユニット ( R E G R E N A M E ) 4 9 6 、命令発行 ( I S S U E R ) ユニット 4 9 8 、および退避制御ユニット ( R E T I R E C L T )

(25)

47

500へ送られる。

【0121】キャリー・チェック・ユニット492はEデコード・ユニット490から制御ライン502を経由して、係属中の保留されている8命令に関するデコード化情報を受信する。キャリー・チェック・ユニット492の機能は、保留されている命令のうち、プロセッサ状況ワードのキャリー・ビットに影響を与える、あるいはキャリー・ビットの状態に左右される命令を識別することである。この制御情報は、制御ライン504を経由して命令発行ユニット498へ送られる。

【0122】保留状態の8命令によって使用されているレジスタ・ファイル472のレジスタを示しているデコード化情報は、制御ライン506を経由して直接にレジスタ改名ユニット496へ送られる。この情報は、依存関係チェック・ユニット494へも送られる。依存関係チェック・ユニット494の機能は、保留状態の命令のどれがレジスタをデータの宛先として参照しているか、もしあればどの命令がこれらの宛先レジスタのいずれかに依存しているかを判断することである。レジスタに依存する命令は、制御ライン508を経由してレジスタ改名ユニット496へ送られる制御信号によって識別される。

【0123】最後にEデコード・ユニット490は保留状態の8命令の各々の特定の内容と機能を識別した制御情報を制御ライン510を経由して命令発行ユニット498へ送る。命令発行ユニット498はデータ経路資源、特に、保留状態の命令の実行のためにどの機能ユニットが使用できるかを判断することを担当する。アーキテクチャ100の好適実施例によれば、命令発行ユニット498はデータ経路資源が使用可能であること、キャリーとレジスタ依存関係の制約を条件として8個の保留状態命令のいずれかを順序外で実行できるようになる。レジスタ改名ユニット496は、実行できるよう適当に制約が解除された命令のビット・マップを制御ライン512を経由して、命令発行ユニット498へ送る。すでに実行された（完了した）命令およびレジスタまたはキャリーに依存する命令は論理的にビット・マップから除かれる。

【0124】必要とする機能ユニット4780-nが使用可能であるかどうかに応じて、命令発行ユニット498は各システム・クロック・サイクルに複数の命令の実行を開始することができる。機能ユニット4780-nの状況は状況バス514を経由して、命令発行ユニット498へ送られる。命令の実行を開始し、開始後の実行管理を行うための制御信号は命令発行ユニット498から制御ライン516を経由してレジスタ改名ユニット496に送られ、また選択的に機能ユニット4780-nへ送られる。制御信号を受けると、レジスタ改名ユニット496はレジスタ選択信号をレジスタ・ファイル・アクセス制御バス518上に送出する。バス518上に送出され

50

48

た制御信号でどのレジスタが割り込み可能にされたかは、実行中の命令を選択することによって、およびレジスタ改名ユニット496がその特定命令によって参照されたレジスタを判断することによって判断される。

【0125】バイパス制御ユニット（BYPASS CTL）520は、一般的には制御ライン524上の制御信号を通してバイパス・データ・ルーチング・ユニット474の動作を制御する。バイパス制御ユニット520は機能ユニット4780-nの各々の状況をモニタし、制御ライン522を経由して、レジスタ改名ユニット496から送られてきたレジスタ参照に関連して、データをレジスタ・ファイル472から機能ユニット4780-nへ送るべきかどうか、あるいは機能ユニット4780-nから出力されるデータをバイパス・ユニット474経由で機能ユニット宛先バス480へ即時に送って、命令発行ユニット498によって選択された新発行の命令の実行のために使用できるかどうかを判断する。どちらの場合も、命令発行ユニット498は機能ユニット4780-nの各々への特定レジスタ・データを選択的に使用可能にすることによって、宛先バス480から機能ユニット4780-nへデータを送ることを直接に制御する。

【0126】IEU制御経路の残りのユニットには、退避制御ユニット500、制御フロー制御（CF CTL）ユニット528、および完了制御（DONE CTL）ユニット536がある。退避制御ユニット500は順序外で実行された命令の実行を無効または確認するように動作する。ある命令が順序外で実行されると、先行命令も全て退避されたならば、その命令は、確認または退避することができる。現セット中の保留状態の8命令のどれが実行されたかの識別情報が制御ライン532上に送出されると、その識別情報に基づいて、退避制御ユニット500はバス518に接続された制御ライン534上に制御信号を送出して、レジスタ配列472にストアされた結果データを順序外で実行された命令の先行実行の結果として実効的に確認する。

【0127】退避制御ユニット500は、各命令を退避するとき、PCインクリメント/サイズ制御信号を制御ライン344を経由してIFU102へ送る。複数の命令を順序外で実行でき、したがって、同時に退避する準備状態におくことができるので、退避制御ユニット500は同時に退避された命令数に基づいてサイズ値を判断する。最後に、IFOマスター・レジスタ224のすべての命令が実行され、退避された場合は、退避制御ユニット500はIFO読取り制御信号を制御ライン342を経由してIFU102へ送ってIFOユニット264のシフト・オペレーションを開始することにより、Eデコード・ユニット490に追加の4命令を実行保留命令として与える。

【0128】制御フロー制御ユニット528は各条件付きブランチ命令の論理的ブランチ結果を検出するという

(26)

49

特定化された機能を備えている。制御フロー制御ユニット528は現在保留中の条件付きプランチ命令の8ビット・ベクトルIDをEデコード・ユニット490から制御ライン510を経由して受信する。8ビット・ベクトル命令完了制御信号は、同じように完了制御ユニット540から制御ライン532を経由して受信される。この完了制御信号によって、制御フロー制御ユニット528は、条件付きプランチ命令が、条件付き制御フロー状況を判断するのに十分な箇所まで完了すると、それを判別することができる。保留中の条件付きプランチ命令の制御フロー状況結果は、その実行時に制御フロー制御ユニット528によってストアされる。条件付き制御フロー命令の結果を判断するために必要なデータは、レジスタ配列472内の一時状況レジスタから制御ライン530を経由して得られる。各条件付き制御フロー命令が実行されると、制御フロー制御ユニットは新しい制御フロー結果信号を制御ライン348を経由してIFU-102に送る。好適実施例では、この制御フロー結果信号は2個の8ビット・ベクトルを含んでおり、このベクトルは、保留されている可能性のある8個の制御フロー命令のそれぞれのビット位置別の状況結果が分かっているかどうか、また、ビット位置の対応づけによって得られる対応する状況結果状態を定義している。

【0129】最後に、完了制御ユニット540は機能ユニット4780-nの各々のオペレーションに関する実行状況をモニタするためのものである。機能ユニット4780-nのいずれかが命令実行オペレーションの完了を通知すると、完了制御ユニット540は対応する完了制御信号を制御ライン542上に送出して、レジスタ改名ユニット496、命令発行ユニット498、退避制御ユニット500およびバイパス制御ユニット520にアラート(警告)する。

【0130】機能ユニット4780-nを並列配列構成にすることにより、IEU104の制御の一貫性を向上している。命令を正しく認識して、実行のためのスケジュールするためには、個々の機能ユニット4780-nの特性を命令発行ユニット498に知らせる必要がある。機能ユニット4780-nは必要とする機能を実行するために必要な特定制御フロー・オペレーションを判別し、実行することを担当する。従って、命令発行ユニット498以外はIEU制御ユニットには、命令の制御フロー処理を独立して知らせる必要はない。命令発行ユニット498と機能ユニット4780-nは共同して、残りの制御フロー管理ユニット496、500、520、528、540に実行させる機能を必要な制御信号のプロンプトで知らせる。従って、機能ユニット4780-nの特定の制御フロー・オペレーションの変更はIEU104の制御オペレーションに影響しない。さらに、既存の機能ユニット4780-nの機能を強化する場合や、拡張精度浮動小数点乗算ユニットや拡張精度浮動小数点ALU、高

50

速フーリエ計算機能ユニット、三角関数計算ユニットなどの別の機能ユニット4780-nを1つまたは2つ以上を追加する場合でも、命令発行ユニット498を若干変更するだけですむ。必要な変更を行うには、Eデコード・ユニット490によって隔離された対応する命令フィールドに基づいて、特定の命令を認識し、その命令を必要とする機能ユニット4780-nとを関係づける必要がある。レジスタ・データの選択の制御、データのルーティング、命令完了と退避は、機能ユニット4780-nの他の機能ユニットすべてに対して実行される他のすべての命令の処理と矛盾がないようになっている。

#### 【0131】A) IEUデータ経路の詳細

IEUデータ経路の中心となるエレメントはレジスタ・ファイル472である。しかし、本発明によればIEUデータ経路内には、個々の機能用に最適化された並列データ経路がいくつか用意されている。主要データ経路は整数と浮動小数点の2つである。各並列データ経路内では、レジスタ・ファイル472の一部がそのデータ経路内で行われるデータ操作をサポートするようになっている。

#### 【0132】1) レジスタ・ファイルの詳細

図6(a)は、データ経路レジスタ・ファイル550の好適アーキテクチャの概要図である。データ経路レジスタ・ファイル550は一時バッファ552、レジスタ・ファイル配列554、入力セレクタ559、および出力セレクタ556を含んでいる。最終的にレジスタ配列554へ送られるデータは結合データ入力バス558'を経由して一時バッファ552によって最初に受信されるのが代表例である。つまり、データ経路レジスタ・ファイル550へ送られるデータはすべて入力セレクタ559によって多重化されて、複数の入力バス558(好ましくは2つの)から入力バス558'上に送出される。制御バス518上に送出されたレジスタ選択およびイネーブル制御信号は一時バッファ552内の受信データのレジスタ・ロケーションを選択する。一時バッファにストアされるデータを生成した命令が退避されると、再び制御バス518上に送出された制御信号は一時バッファ552からレジスタ・ファイル配列554内の論理的に対応づけられたレジスタへデータ・バス560を経路してデータを転送することを許可する。しかし、命令が退避される前は、一時バッファ552にストアされたデータは一時バッファにストアされたデータをデータ・バス560のバイパス部分を経由して出力データ・セレクタ556へ送ることにより、後続の命令の実行時に使用することが可能である。制御バス518経由で送られる制御信号によって制御されるセレクタ556は、一時バッファ552のレジスタからのデータとレジスタ・ファイル配列554のレジスタからのデータのどちらかを選択する。結果のデータはレジスタ・ファイル出力バス564上に送出される。また、実行中の命令が完了と同時に

(27)

51

退避される場合は、つまり、その命令が順序内で実行された場合は、結果データをバイパス延長部分 558" を経由して直接にレジスタ配列 554 へ送るように指示することができる。

【0133】本発明の好適実施例によれば、各データ経路レジスタ・ファイル 550 は 2 つのレジスタ操作を同時に行なえるようになっている。したがって、入力バス 558 を通して 2 つの全レジスタ幅データ値を一時バッファ 552 に書き込むことができる。内部的には、一時バッファ 552 はマルチプレクサ配列になっているので、入力データを一時バッファ 552 内の任意の 2 レジスタへ同時に送ることができる。同様に、内部マルチプレクサにより一時バッファ 552 の任意の 5 レジスタを選択して、データをバス 560 上に出力することができる。レジスタ・ファイル配列 554 は同じように入出力マルチプレクサを備えているので、2 つのレジスタを選択して、それぞれのデータを同時にバス 560 から受信することも、5 つのレジスタを選択してバス 562 経由で送ることもできる。最後に、レジスタ・ファイル出力セレクタ 556 は、バス 560、562 から受信した 10 レジスタ・データ値のうち、任意の 5 つがレジスタ・ファイル出力バス 564 上に同時に出力されるように実現するのが好ましい。

【0134】一時バッファ内のレジスタ・セットは図 6 (b) にその概要が示されている。レジスタ・セット 552' は 8 個のシングル・ワード (32 ビット) レジスタ I0RD、I1RD … I7RD から構成されている。レジスタ・セット 552' は 4 個のダブル・ワード・レジスタ I0RD、I0RD+1 (I4RD)、I1RD、I1RD+1 (I5RD) … I3RD、I3RD+1 (I7RD) のセットとして使用することも可能である。

【0135】本発明の好適実施例によれば、レジスタ・ファイル配列 554 内の各レジスタを重複して設ける代わりに、一時バッファ・レジスタ・セット 552 内のレジスタは 2 個の I FIFO マスター・レジスタ 216、224 内のそれぞれの命令の相対ロケーションに基づいて、レジスタ改名ユニット 496 によって参照される。本アーキテクチャ 100 で実現される各命令は、最高 2 つまでのレジスタまたは 1 つのダブル・ワード・レジスタを出力として参照して、命令の実行によって生成されたデータの宛先とすることができます。代表例として、命令は 1 つの出力レジスタだけを参照する。したがって、その位置を図 6 (c) に示しているように、8 個の保留中命令のうち 1 つの出力レジスタを参照する命令 2 (I2) の場合は、データ宛先レジスタ I2RD が選択されて、命令の実行によって生成されたデータを受け入れる。命令 I2 によって生成されたデータが後続の命令、例えば I5 によって使用される場合は、I2RD レジスタにストアされたデータはバス 560 を経由して転送さ

(27)

52

れ、結果のデータは一時バッファ 552 に送り返されて、I5RD で示したレジスタにストアされる。特に、命令 I5 は命令 I2 によって決まるので、命令 I5 は、I2 からの結果データが得られるまでは実行することができない。しかし、理解されるように、命令 I5 は必要とする入力データを一時バッファ 552' の命令 I2 のデータ・ロケーションから得れば、命令 I2 の退避前に実行することが可能である。

【0136】最後に、命令 I2 が退避されると、レジスタ I2RD からのデータは、退避箇所の命令の論理位置から判断されて、レジスタ・ファイル配列 554 内のレジスタ・ロケーションに書かれる。すなわち、退避制御ユニット 500 は、制御ライン 510 経由で E デコード・ユニット 490 から与えられたレジスタ参照フィールド・データからレジスタ・ファイル配列内の宛先レジスタのアドレスを判断する。命令 I0-3 が退避されると、I4RD-I7RD に入っている値は、IFIFO ユニット 264 のシフトと同時にシフトされて、I0RD-I3RD に移される。

【0137】命令 I2 からダブル・ワード結果値が得られる場合は、さらに複雑になる。本発明の好適実施例によれば、ロケーション I2RD と I6RD の組合せが、命令 I2 が退避されるか、さもなければキャンセルまで、その命令から得た結果データをストアしておくために使用される。好適実施例では、命令 I4-7 の実行は命令 I0-3 のいずれかによるダブル・ワード出力の参照がレジスタ改名ユニット 496 によって検出された場合には、保留される。これにより、一時バッファ 552' 全体をダブル・ワード・レジスタのシングル・ランクとして使用することが可能になる。命令 I0-3 が退避されると、一時バッファ 552' はシングル・ワード・レジスタの 2 ランクとして再び使用することができる。さらに、いずれかの命令 I4-7 の実行は、ダブル・ワード出力レジスタが必要な場合には、命令が対応する I0-3 にシフトされるまで保留される。

【0138】レジスタ・ファイル配列 554 の論理的変性は図 7 (a) ~ 図 7 (b) に示されている。本発明の好適実施例によれば、整数データ経路用のレジスタ・ファイル配列 554 は 40 個の 32 ビット幅レジスタから構成されている。このレジスタ・セットはレジスタ・セット "A" を構成し、ベース・レジスタ・セット ra [0..23] 565、汎用レジスタ ra [24..31] 566 からなるトップ・セット、および 8 個の汎用トラップ・レジスタ ra [24..31] からなるシャドウ・レジスタ・セットとして編成されている。通常のオペレーションでは、汎用レジスタ ra [0..31] 565、566 は整数データ経路用のレジスタ・ファイル配列のアクティブ "A" レジスタ・セットを構成している。

【0139】図 7 (b) に示すように、トラップ・レジ

(28)

53

スタ *r a* [24..31] 567 をスワップしてアクティブ・レジスタ・セット “A” に移しておけば、レジスタ *r a* [0..23] 565 のアクティブ・ベース・セットと一緒にアクセスすることが可能である。“A” レジスタ・セットのこの構成は、割り込みの受信が確認されるか、例外トラップ処理ルーチンが実行されると、選択される。レジスタ・セット “A” のこの状態は、割り込み許可命令の実行またはトラップからのリターン命令の実行によって図 7 (a) に示す状態に明示によって戻るまで維持される。

【0140】アーキテクチャ 100 によって実現された本発明の好適実施例では、浮動小数点データ経路は図 8 にその概要を示すように拡張精度レジスタ・ファイル配列 572 を使用する。レジスタ・ファイル配列 572 は、各々が 64 ビット幅の 32 個のレジスタ *r f*

[0..31] から構成されている。浮動小数点レジスタ・ファイル 572 は整数レジスタ *r b* [0..31] の “B” セットとして論理的に参照することも可能である。アーキテクチャ 100 では、この “B” セットのレジスタは浮動小数点レジスタ *r f* [0..31] の各々の下位 32 ビットに相当している。

【0141】第 3 のデータ経路を表すものとして、ブール演算子レジスタ・セット 574 が図 9 に示すように設けられている。これは、ブール演算の論理結果をストアするこの “C” レジスタ・セット 574 は 32 個の 1 ビット・レジスタ *r c* [0..31] から構成されている。ブール・レジスタ・セット 574 のオペレーションは、ブール演算の結果をブール・レジスタ・セット 574 の任意の命令選択レジスタへ送ることができる点でユニークである。これは、等しい、等しくない、より大、その他単純なブール状況値などの条件を表す 1 ビット・フラグをストアするシングル・プロセッサ状況ワード・レジスタを使用するのと対照的である。

【0142】浮動小数点レジスタ・セット 572 とブール・レジスタ・セット 574 は双方共、図 6 (b) に示す整数一時バッファ 552 と同じアーキテクチャの一時バッファによって補数がとられる。基本的違いは、一時バッファ・レジスタの幅が補数をとるレジスタ・ファイル配列 572、574 の幅と同じになるように定義されていることである。好適実施例では、幅はそれぞれ 64 ビットと 1 ビットになっている。

【0143】多数の追加の特殊レジスタが、レジスタ配列 472 に少なくとも論理的に存在している。図 7 (c) に示すように、レジスタ配列 472 に物理的に存在するレジスタはカーネル・スタック・ポインタ (*k e \**

54

\* *r n e l s t a c k p o i n t e r*) 568、プロセッサ状態レジスタ (PSR) 569、旧プロセッサ状態レジスタ (PPSR) 570 および 8 個の一時プロセッサ状態レジスタの配列 (*t P S R* [0..7]) 571 からなっている。残りの特殊レジスタはアーキテクチャ 100 の各所に分散している。特殊アドレスおよびデータ・バス 354 はデータを選択して、特殊レジスタおよび “A” と “B” レジスタ・セット間で転送するためのものである。特殊レジスタ移動命令は “A” または “B” レジスタ・セットからレジスタを選択し、転送の方向を選択し、特殊レジスタのアドレス ID を指定するためのものである。

【0144】カーネル・スタック・ポインタ・レジスタとプロセッサ状態レジスタは、他の特殊レジスタとは異なっている。カーネル・スタック・ポインタはカーネル状態にあるとき、標準のレジスタ間移動命令を実行することによってアクセス可能である。一時プロセッサ状態レジスタは直接にアクセスすることはできない。その代わりに、このレジスタ配列はプロセッサ状態レジスタの値を伝播して、順序外で実行される命令で使用できるようにする継承メカニズム (inheritance mechanism) を実現するために使用される。初期伝播値はプロセッサ状態レジスタの値である。つまり、最後に退避された命令から得た値である。この初期値は一時プロセッサ状態レジスタから前方向に伝播され、順序外で実行される命令が対応する位置にある一時プロセッサ状態レジスタ内の値をアクセスできるようになる。命令が依存し、変更できる条件コード・ビットは、その命令がもつ特性によって定義される。命令が依存関係、レジスタまたは条件コードによって制約されないことが、レジスタ依存関係チェック・ユニット 494 とキャリー依存関係チェック・ユニット 492 によって判断された場合は、命令は順序外で実行することができる。

【0145】プロセッサ状態レジスタの条件コード・ビットの変更は論理的に対応する一時プロセッサ状態レジスタに指示される。具体的には、変更の可能性があるビットだけが一時プロセッサ状態レジスタに入っている値に適用され、上位のすべての一時プロセッサ状態レジスタに伝播される。その結果、順序外で実行されるすべての命令は介在する PSR 変更命令によって適切に変更されたプロセッサ状態レジスタ値から実行される。命令が退避されたときは、対応する一時プロセッサ状態レジスタ値だけが PSR レジスタ 569 に転送される。他の特殊レジスタは表 I I に説明されている。

【0146】

表 I I

### 特殊レジスタ

#### 特殊移動

レジスタ	R/W
------	-----

説明	50
----	----

			(29)
			55
P C	R		プログラム・カウンタ：一般的には P C は現在実行中のプログラム命令ストリームの次のアドレスを格納している
I F _ P C	R / W		I F U プログラム・カウンタ： I F _ P C は正確な次の実行アドレスを格納している
P F n P C	R		プリフェッヂ・プログラム・カウンタ：M B U F 、 T B U F および E B U F P F n P C はそれぞれのプリフェッヂ命令ストリームの次のプリフェッヂ命令アドレスを格納している
u P C	R / W		マイクロ・プログラム・カウンタ：プロシージャ命令のあとに続く命令のアドレスを格納している。 これはプロシージャ命令がリターンしたとき最初に実行される命令のアドレスである
x P C	R / W		割り込み／例外プログラム・カウンタ：割り込みまたは例外（または両方）のリターン・アドレスを格納している。リターン・アドレスはトラップ発生時の I F _ P C アドレスである
T B R	W		トラップ・ベース・アドレス：トラップ処理ルーチンへディスパッチするとき使用されるベクトル・テーブルのベース・アドレス。各エントリは 1 ワード長である。割り込みロジック・ユニット 3 6 3 から与えられるトラップ番号は、このアドレスが指しているテーブルまでのインデックスとして使用される
F T B	W		高速トラップ・ベース・レジスタ：即時トラップ処理ルーチン・テーブルのベース・レジスタ。各テーブル・エントリは 3 2 ワードであり、トラップ処理ルーチンを直接に実行するために使用される。割り込みロジック・ユニット 3 6 3 から与えられるトラップ番号を 3 2 倍したものは、このアドレスが指しているテーブルまでのオフセットとして使用される
P B R	W		プロシージャ・ベース・レジスタ：プロシージャ・ルーチンへディスパッチするとき使用されるベクトル・テーブルのベース・アドレス。各エントリは 1 ワード長であり、 4 ワード境界に位置合わせされている。プロシージャ命令フィールドとして与えられるプロシージャ番号はこのアドレスが指しているテーブルまでのインデックスとして使用される
P S R	R / W		プロセッサ状態レジスタ：プロセッサ状況ワードを格納している。状況データ・ビットは、キャリー、オーバーフロー、ゼロ、負、プロセッサ・モード、現割り込みレベル、実行中のプロシージャ・ルーチン、 0 による除算、オーバフロー例外、ハードウェア機能割り込み可能、プロシージャ割り込み可能、割り込み可能などのビットがある。
P P S R	R / W		旧プロセッサ状態レジスタ：命令が正しく完了するか、割り込みまたはトラップが引き起こされる

(30)

CSR	R/W
PCSR	R/W

57

と、PSRからロードされる  
状態比較（ブール）レジスタ：シングル・ワード  
としてアクセス可能なブール・レジスタ・セット  
旧状態比較レジスタ：命令が正しく完了するか、  
割り込みまたはトラップが引き起こされると、CSR  
からロードされる。

## 【0147】2) 整数データ経路の詳細

本発明の好適実施例に従って構築されるIEU104の整数データ経路は、図10に示されている。説明の便宜上、整数データ経路580と結ばれる多数の制御経路は、図には示していない。これらの接続関係は図5を参照して説明したとおりである。

【0148】データ経路580の入力データは、位置合わせユニット582、584および整数ロード／ストア・ユニット586から得られる。整数即値（integer immediate）データ値は、最初は命令埋め込み（embedded）データ・フィールドとして与えられ、バス588経由でオペランド・ユニット470から得られる。位置合わせユニット582は整数データ値を隔離し、その結果値が出力バス590を経由してマルチプレクサ592へ送られる。マルチプレクサ592への別の入力は、特殊レジスタ・アドレスとデータ・バス354である。

【0149】命令ストリームから得られる即値（immediate）オペランドも、データ・バス594経由でオペランド・ユニット470から得られる。これらの値は、出力バス596上に送出される前に、位置合わせユニット584によって再度右寄せされる。

【0150】整数ロード／ストア・ユニット586は外部データ・バス598を通してCCU106と双方向でやりとりする。IEU104へのインバウンド・データは整数ロード／ストア・ユニット586から入力データ・バス600を経由して入力ラッチ602へ転送される。マルチプレクサ592とラッチ602からの出力データは、マルチプレクサ608のマルチプレクサ入力バス604、606上に送出される。機能ユニット出力バス482'からのデータもマルチプレクサ608に送られる。このマルチプレクサ608はアーキテクチャ100の好適実施例では、データを同時に出力マルチプレクサ・バス610へ送る2つの通路を備えている。さらに、マルチプレクサ608を通るデータ転送は、システム・クロックの各半サイクル以内に完了することができる。本アーキテクチャ100で実現される大部分の命令は、1つの宛先レジスタを利用するので、最大4つまでの命令によって各システム・クロック・サイクルの間データを一時バッファ612へ送ることができる。

【0151】一時バッファ612からのデータは一時レジスタ出力バス616を経由して整数レジスタ・ファイル配列614へ、あるいは代替一時バッファ・レジスタ・バス618を経由して出力マルチプレクサ620へ転

58

送することができる。整数レジスタ配列出力バス622は整数レジスタ・データをマルチプレクサ620へ転送することができる。一時バッファ612と整数レジスタ・ファイル配列614に接続された出力バスは、それぞれ5個のレジスタ値を同時に出力することを可能にする。つまり、合計5個までのソース・レジスタを参照する2つの命令を同時に出すことができる。一時バッファ612、レジスタ・ファイル配列614およびマルチプレクサ620はアウトバウンド・レジスタ・データの転送を半システム・クロック・サイクルごとに行うことを可能にする。したがって、最高4個までの整数および浮動小数点命令を各クロック・サイクルの間に出すことができる。

【0152】マルチプレクサ620はアウトバウンド・レジスタ・データ値をレジスタ・ファイル配列614からあるいは一時バッファ612から直接に選択する働きをする。これにより、以前に順序外で実行された命令に依存する順序外実行命令をIEU104によって実行させることができる。これにより、保留状態の命令を順序外で実行することによってIEU整数データ経路の実行スループット能力を最大化すると共に、順序外のデータ結果を、実行され退避された命令から得たデータ結果から正確に分離するという2目標を容易に達成することができる。マシンの正確な状態を復元する必要のあるような割り込みや他の例外条件が起こると、本発明によれば一時バッファ612に存在するデータ値を簡単にクリアすることができる。したがって、レジスタ・ファイル配列614は、割り込みまたは他の例外条件が発生する以前に完了し、退避された命令の実行によってのみ得られたデータ値を正確に収めたままになっている。

【0153】マルチプレクサ620の各半システム・サイクル・オペレーション時に選択されたレジスタ・データ値は最高5つまでがマルチプレクサ出力バス624を経由して整数バイパス・ユニット626へ送られる。このバイパス・ユニット626は基本的にマルチプレクサが並列の配列からなり、その入力のいずれかに現れたデータをその出力のいずれかへ送ることができる。バイパス・ユニット626の入力は、マルチプレクサ592から出力バス604を経由する特殊レジスタ・アドレス指定データ値または即値の整数値、バス624上に送出される最高5つまでのレジスタ・データ値、整数ロード／ストア・ユニット586からダブル整数バス600を経由するロード・オペランド・データ、その出力バス596を経由して位置合わせユニット584から得た即値才

(31)

59

ペランド値、最後に機能ユニット出力バス482からのバイパス・データ経路からなっている。このバイパス経由とデータ・バス482はシステム・クロック・サイクルごとに4個のレジスタ値を同時に転送することができる。

【0154】データはバイパス・ユニット626から浮動小数点データ・バスに接続された整数バイパス・バス628上に出力されて、最高5つまでのレジスタ・データ値を同時に転送する機能をもつ2つのオペランド・データ・バスと、整数ロード/ストア・ユニット586へデータを送るために使用されるストア・データ・バス632へ送られる。

【0155】機能ユニット分配バス480はルータ・ユニット634のオペレーションを通して実現されている。また、ルータ・ユニット634はその入力から受信された5個のレジスタ値を整数データ通路に設けられた機能ユニットへ送ることを可能にする並列のマルチプレクサ配列によって実現される。具体的には、ルータ・ユニット634はバイパス・ユニット626からバス630を経由して送られてきた5個のレジスタ・データ値、アドレス・バス352を経由して送られてきた現IF-PCアドレス値、PC制御ユニット362によって判断され、ライン378'上に送出された制御フロー・オフセット値を受信する。ルータ・ユニット634は、浮動小数点データ経路内に設けられたバイパス・ユニットから取り出されたオペランド・データ値をデータバス636を経由して受信することもできる（オプション）。

【0156】ルータ・ユニット634によって受信されたレジスタ・データ値は、特殊レジスタ・アドレスおよびデータ・バス354上を転送されて、機能ユニット640、642、644へ送られる。具体的には、ルータ・ユニット634は最高3つまでのレジスタ・オペランド値をルータ出力バス646、648、650を経由して機能ユニット640、642、644の各々へ送る機能を備えている。本アーキテクチャ100の一般的アーキテクチャによれば、最高2つまでの命令を同時に機能ユニット640、642、644に対して出すことが可能である。本発明の好適実施例によれば、3つの専用整数機能ユニットに、それぞれプログラマブル・シフト機能と2つの算術演算ロジック・ユニット機能を持たせることができる。

【0157】ALU0機能ユニット644、ALU1機能ユニット642及びシフタ機能ユニット640はそれぞれの出力レジスタ・データを機能ユニット・バス482'上に送出する。ALU0とシフタ機能ユニット644、640から得た出力データも浮動小数点データ経路に接続された共用整数機能ユニット・バス650上に送出される。類似の浮動小数点機能ユニット出力値データ・バス652が、浮動小数点データ経路から機能ユニット出力バス482'へ設けられている。

60

【0158】ALU0機能ユニット644はIFU102のプリフェッチ操作と整数ロード/ストア・ユニット586のデータ操作の両方をサポートするために仮想アドレス値を生成する場合にも使用される。ALU0機能ユニット644によって計算された仮想アドレス値はIFU102のターゲット・アドレス・バス346とCCU106の両方に接続された出力バス654上に送出され、実行ユニットの物理アドレス（EX\_PADDR）が得られる。ラッチ656は、ALU0機能ユニット644によって生成されたアドレスの仮想化部分をストアするためのものである。アドレスのこの仮想化部分は出力バス658上に送出されて、VMU108へ送られる。

### 3) 浮動小数点データ経路の詳細

次に、図11は浮動小数点データ経路を示したものである。初期データは、この場合も、即値整数オペランド・バス588、即値オペランド・バス594および特殊レジスタ・アドレス・データ・バス354を含む複数のソースから受信される。外部データの最終的ソースは外部データバス598を通してCCU106に接続された浮動小数点ロード/ストア・ユニット622である。

【0159】即値整数オペランドは、位置合わせ出力データ・バス668を経由してマルチプレクサ666に渡す前に整数データ・フィールドを右寄せする働きをする位置合わせユニット664によって受信される。マルチプレクサ666は特殊レジスタ・アドレス・データ・バス354も受信する。即値オペランドは第2の位置合わせユニット670へ送られ、右寄せされてから出力バス672上に送出される。浮動小数点ロード/ストア・ユニット662からのインバウンド・データ（inbound data）は、ロード・データ・バス676からラッチ674によって受信される。マルチプレクサ666、ラッチ674および機能ユニット・データ・リターン・バス482"からのデータはマルチプレクサ678の入力から受信される。マルチプレクサ678は選択可能なデータ経路を備え、2つのレジスタ・データ値がシステム・クロックの半サイクルごとに、マルチプレクサ出力バス682を経由して一時バッファ680に書き込まれることを可能にする。一時バッファ680は図6

30 (b)に示す一時バッファ552'論理的に同じレジスタ・セットを備えている。一時バッファ680はさらに最高5個までのレジスタ・データ値を一時バッファ680から読み取って、データ・バス686を経由して浮動小数点レジスタ・ファイル配列684と、出力データ・バス690を経由して出力マルチプレクサ688へ送ることができる。マルチプレクサ688は、データ・バス692を経由して、浮動小数点ファイル配列684から最高5個までのレジスタ・データ値も同時に受信する。マルチプレクサ688は最高5個までのレジスタ・データ値を選択して、データ・バス696を経由してバ

(32)

61

イバス・ユニット694へ同時に転送する働きをする。バイバス・ユニット694は、データ・バス672、マルチブレクサ666からの出力データ・バス698、ロード・データ・バス676および機能ユニット・データ・リターン・バス482"のバイバス延長部分を経由して、位置合わせユニット670から与えられた即値オペラント値も受信する。バイバス・ユニット694は最高5個までのレジスタ・オペラントデータ値を同時に選択して、バイバス・ユニット・出力バス700、浮動小数点ロード/ストア・ユニット662に接続されたストア・データ・バス702、および整数データ経路580のルータ・ユニット634に接続された浮動小数点バイバス・バス636上に出力するように働く。

【0160】浮動小数点ルータ・ユニット704は、バイバス・ユニット出力バス700と整数データ経路バイバス・バス628とそれぞれの機能ユニット712、714、716に接続された機能ユニット入力バス706、708、710との間で同時にデータ経路を選択できる機能を備えている。

【0161】アーキテクチャ100の好適実施例による入力バス706、708、710の各々は最高3個までのレジスタ・オペラント・データ値を機能ユニット712、714、716の各々へ同時に転送することが可能である。これらの機能ユニット712、714、716の出力バスは機能ユニット・データ・リターン・バス482"に結合され、データをレジスタ・ファイル入力マルチブレクサ678へ戻すようになっている。整数データ経路機能ユニット出力バス650を機能ユニット・データ・リターン・バス482"に接続するために設けることも可能である。本発明のアーキテクチャ100によれば、マルチブレクサ機能ユニット712と浮動小数点ALU714の機能ユニット出力バスを浮動小数点データ経路機能ユニット・バス652を経由して整数データ経路500の機能ユニット・データ・リターン・バス482'に接続することが可能である。

【0162】4) ブール・レジスタ・データ経路の詳細  
ブール演算データ経路720は図12に示されている。このデータ経路720は基本的に2種類の命令の実行をサポートするために利用される。最初のタイプはオペラント比較命令であり、この命令では、整数レジスタ・セットと浮動小数点レジスタ・セットから選択された、あるいは即値オペラントとして与えられた2つのオペラントが、ALU機能ユニットの1つで整数と浮動小数点データ経路を減算することによって比較される。この比較は、ALU機能ユニット642、644、714、716のいずれかによる減算によって行われ、その結果の符号とゼロ状況ビットは入力セレクタと比較演算子結合ユニット722へ送られる。このユニット722は、制御信号を指定した命令をEデコード・ユニット490から受け取るとALU機能ユニット642、644、71

62

4、716の出力を選択し、符号およびゼロ・ビットを結合し、ブール比較結果値を抽出する。出力バス723を通して比較演算の結果を入力マルチブレクサ726とバイバス・ユニット742へ同時に転送することができる。整数および浮動小数点データ経路と同じように、バイバスユニット742は並列のマルチブレクサ配列として実現され、バイバス・ユニット742の入力間で複数のデータ経路を選択して、複数の出力と結ぶことができる。バイバス・ユニット742の他の入力はブール演算結果リターン・データ・バス724とデータ・バス744上の2つのブール・オペラントからなっている。バイバス・ユニット742は最高2つまでの同時に実行中のブール命令を表したブール・オペラントを、オペラント・バス748を経由してブール演算機能ユニット746へ転送することができる。また、バイバス・ユニット746は最高2個までのシングル・ビット・ブール・オペラント・ビット(CF0、CF1)を制御フロー結果制御ライン750、752を経由して同時に転送することができる。

【0163】ブール演算データ経路の残り部分は、比較結果バス723とブール結果バス724上に送出された比較およびブール演算結果値を、その入力として受信する入力マルチブレクサ726を含んでいる。このバス724は最高2個までのブール結果ビットを同時にマルチブレクサ726へ転送することができる。さらに、最高2個までの比較結果ビットをバス723を経由してマルチブレクサ726へ転送することができる。マルチブレクサ726はマルチブレクサの入力端に現れた任意の2個の信号ビットをマルチブレクサの出力端を経由して、システム・クロックの各半サイクル時にブール演算一時バッファ728へ転送することができる。一時バッファ728は2つの重要な点が異なることを除けば、図6(b)に示した一時バッファ752'に論理的に同じである。第1の相違点は、一時バッファ728内の各レジスタ・エントリがシングル・ビットからなることである。第2の相違点は8個の保留中命令スロットの各々に一つのレジスタだけが設けられていることである。これは、ブール演算の結果全部が定義によって1つの結果ビットによって定義されるためである。

【0164】一時バッファ728は最高4個までの出力オペラント値を同時に出力する。これにより、各々2つのソース・レジスタへのアクセスを必要とする2個のブール命令を同時に実行させることができる。4個のブール・レジスタ値はシステム・クロックの各半サイクルごとにオペラント・バス736上に送出し、マルチブレクサ738へあるいはブール・オペラント・データバス734を経由してブール・レジスタ・ファイル配列732へ転送することができる。ブール・レジスタ・ファイル配列732は、図9に論理的に示すように、1個の32ビット幅データ・レジスタであり、任意に組合せた最高

(33)

63

4個までのシングル・ビット・ロケーションを一時バッファ728からのデータで修正し、システム・クロックの各半サイクルごとにプール・レジスタ・ファイル配列732から読み取って出力バス740上に送出することができる。マルチプレクサ738はバス736、740経由でその出力端から受信したプール・オペランドの任意のペアをオペランド出力バス744上に送出してバイバス・ユニット742へ転送する。

【0165】プール演算機能ユニット746は2個のソース値についてプール演算を幅広く実行する機能を備えている。比較命令の場合には、ソース値は整数および浮動少数点レジスタ・セットのいずれかから得たペアのオ\*

(34)

64

\*ペランドとIEU104へ送られる任意の即値オペランドであり、プール命令の場合は、プール・レジスタ・オペランドの任意の2つである。表IIIと表IVは、本発明のアーキテクチャ100の好適実施例における論理比較演算を示すものである。表Vは本発明のアーキテクチャ100の好適実施例における直接プール演算を示すものである。表III-Vに示されている命令条件コードと機能コードは対応する命令のセグメントを表している。また、命令はペアのソース・オペランド・レジスタと対応するプール演算結果をストアするための宛先プール・レジスタを指定する。

【0166】

表III

整数の比較

条件*	記号	命令	
		記号	条件コード
r s 1はr s 2より大	>	0 0 0 0	
r s 1はr s 2より大か等しい	>=	0 0 0 1	
r s 1はr s 2より小	<	0 0 1 0	
r s 1はr s 2より小か等しい	<=	0 0 1 1	
r s 1はr s 2と等しくない	≠	0 1 0 0	
r s 1はr s 2と等しい	==	0 1 0 1	
予備		0 1 1 0	
無条件		1 1 1 1	

\*r s =レジスタ・ソース

表IV

浮動小数点の比較

条件	記号	命令	
		記号	条件コード
r s 1はr s 2より大	>	0 0 0 0	
r s 1はr s 2より大か等しい	>=	0 0 0 1	
r s 1はr s 2より小	<	0 0 1 0	
r s 1はr s 2より小か等しい	<=	0 0 1 1	
r s 1はr s 2と等しくない	≠	0 1 0 0	
r s 1はr s 2と等しい	==	0 1 0 1	
無順序	?	1 0 0 0	
無順序またはr s 1はr s 2より大	?>	1 0 0 1	
無順序、r s 1はr s 2より大か等しい	?>=	1 0 1 0	
無順序またはr s 1はr s 2より小	?<	1 0 1 1	
無順序、r s 1はr s 2より小か等しい	?<=	1 1 0 0	
無順序またはr s 1はr s 2と等しい	?=	1 1 0 1	
予備		1 1 1 0 - 1 1 1 1	

表V

プール演算

命令

(34)

演算*	記号	機能コード
0	Zero	0 0 0 0
bs1 & bs2	AND	0 0 0 1
bs1 & -bs2	ANN2	0 0 1 0
bs1	bs1	0 0 1 1
-bs1 & bs2	ANN1	0 1 0 0
bs2	bs2	0 1 0 1
bs1 - bs2	XOR	0 1 1 0
bs1 bs2	OR	0 1 1 1
-bs1 & -bs2	NOR	1 0 0 0
-bs1 - bs2	XNOR	1 0 0 1
-bs2	NOT2	1 0 1 0
bs1 - bs2	ORN2	1 0 1 1
-bs1	NOT1	1 1 0 0
-bs1 bs2	ORN1	1 1 0 1
-bs1 - bs2	NAND	1 1 1 0
1	ONE	1 1 1 1

\* bs = ブール・ソース・レジスタ。

## 【0167】B) ロード/ストア制御ユニット

図13はロード/ストア・ユニット760の例を示したものである。データ経路580、660に別々に示されているが、ロード/ストア・ユニット586、662は一つの共用ロード/ストア・ユニット760として実現するのが好ましい。それぞれのデータ経路580、660からのインターフェースはアドレス・バス762およびロードとストア・データ・バス764(600、676)、766(632、702)を経由している。

【0168】ロード/ストア・ユニット760によって使用されるアドレスは、IFU102およびIEU104の残り部分で使用される仮想アドレスとは対照的に、物理アドレスである。IFU102は仮想アドレスで動作し、CCU106とVMU108間の調整に依存して物理アドレスを生成するのに対し、IEU104ではロード/ストア・ユニット760を物理アドレス・モードで直接に動作させる必要がある。この要件が必要になるのは、順序外で実行されるために、物理アドレス・データとストア・オペレーションがオーバラップするような命令が存在する場合、およびCCU106からロード/ストア・ユニット760への順序外のデータ・リターンが存在する場合に、データ保全性を保つためである。データ保全性を保つためにロード/ストア・ユニット760はストア命令がIEU104によって退避されるまで、ストア命令から得たデータをバッファに置いておく。その結果、ロード/ストア・ユニット760によってバッファに置かれたストア・データはロード/ストア・ユニット760に一つだけ存在することができる。実行されたが退避されていないストア命令と同じ物理アドレスを参照するロード命令は、ストア命令が実際に退避されるまで実行が遅延される。その時点で、ストア・デ

ータをロード/ストア・ユニット760からCCU106へ転送し、CCUデータ・ロード・オペレーションの実行によって即時にロード・バックすることができる。

【0169】具体的には、物理アドレス全体がVMU108からロード/ストア・アドレス・バス762上に送出される。ロード・アドレスは一般的にはロード・アドレス・レジスタ7680-3にストアされる。ストア・アドレスはストア・アドレス・レジスタ7703-0にラッチされる。ロード/ストア制御ユニット774は命令発行ユニット498から受信した制御信号を受けて動作し、ロード・アドレスとストア・アドレスをレジスタ7683-0、7703-0にラッチすることを調整する。ロード/ストア制御ユニット774は、ロード・アドレスをラッチするための制御信号を制御ライン778上に送出し、ストア・アドレスをラッチするための制御信号を制御ライン780上に送出する。ストア・データはストア・データ・レジスタ・セット7823-0の論理的に対応するスロットにストア・アドレスをラッチするのと同時にラッチされる。4x4x32ビット幅アドレス比較ユニット772には、ロードおよびストア・アドレス・レジスタ7683-0、7703-0に入っているアドレスの各々が同時に入力される。システム・クロックの各半サイクル時の完全マトリックス・アドレス比較の実行は、制御ライン776を介してロード/ストア制御ユニット774によって制御される。ストア・アドレスに一致するロード・アドレスの存在と論理ロケーションは、制御ライン776を経由してロード/ストア制御ユニット774へ送られる。

【0170】ロード・アドレスがVMU108から与えられ、保留中のストアがない場合は、ロード・アドレスは、CCUロード・オペレーションの開始と同時に、バ

(35)

67

ス762から直接にアドレス・セレクタ786へバイバスされる。しかし、ストア・データが保留されている場合は、ロード・アドレスは使用可能なロード・アドレス・ラッチ7680-3にラッチされる。対応するストア・データ命令が退避されると制御信号を退避制御ユニット500から受信すると、ロード/ストア制御ユニット774はCCUデータ転送操作を開始し、制御ライン784を通してCCU106へのアクセスの仲裁を行う。CCU106がレディ(ready)を通知すると、ロード/ストア制御ユニット774はCCU物理アドレスをCCUPADDRアドレス・バス788上に送出するようにセレクタ786に指示する。このアドレスはアドレス・バス790を経由して対応するストア・レジスタ7703-0から得られる。対応するストア・データ・レジスタ7823-0からのデータはCCUデータ・バス792上に送出される。

【0171】ロード命令が命令発行ユニット498から出されると、ロード/ストア制御ユニット774はロード・アドレス・ラッチ7683-0の一つが要求されたロード・アドレスをラッチすることを許可する。選択された特定のラッチ7680-3は関係命令セット内のロード命令の位置に論理的に対応している。命令発行ユニット498は保留中の可能性のある2命令セットのどちらかの中のロード命令を示している5ビット・ベクトルをロード/ストア制御ユニット774へ渡す。コンパレータ772が一致するストア・アドレスを示していない場合は、ロード・アドレスはアドレス・バス794を経由してセレクタ786へ送られ、CCU\_PADDRアドレス・バス788上に出力される。アドレスの提供は、ロード/ストア制御ユニット774とCCU106間でやりとりされるCCU要求とレディ制御信号に従って行われる。実行ID値(EXID値)もロード/ストア制御ユニット774によって準備されてCCU106に対して出され、CCU106がEXID値を含む要求データをそのあとで返却するときロード要求を識別する。このID値は4ビット・ベクトルからなり、現ロード要求を出したそれぞれのロード・アドレス・ラッチ7680-3を固有ビットで指定している。5番目のビットはロード命令を收めている命令セットを識別するために使用される。このID値は、したがって命令発行ユニット498からロード要求と一緒に送られるビット・ベクトルと同じである。

【0172】先行する要求ロード・データが使用可能であることがCCU106からロード/ストア制御ユニット774へ通知されると、ロード/ストア制御ユニット\*

68

\*774は位置合わせユニットがデータを受信し、それをロード・データ・バス764上に送出することを許可する。位置合わせユニット798はロード・データを右寄せする働きをする。

【0173】CCU106からデータが返却されると同時に、ロード/ストア制御ユニット774は、CCU106からEXID値を受信する。他方、ロード/ストア制御ユニット774はロード・データがロード・データ・バス764上に送出されることを知らせる制御信号を命令発行ユニット498へ送り、さらに、どのロード命令に対してロード・データが返却されるのかを示したビット・ベクトルを返却する。

【0174】C) I EU制御経路の詳細

再び、図5を参照して、IEU制御経路のオペレーションを図14に示したタイミング図と関連づけて説明する。図14に示した命令の実行タイミングは、本発明のオペレーションを例示したもので、種々態様に変更可能であることは勿論である。

【0175】図14のタイミング図は、プロセッサ・システム・クロック・サイクルP0-6のシーケンスを示している。各プロセッサ・サイクルは内部TサイクルT0から始まる。本発明の好適実施例によるアーキテクチャ100では、各プロセッサ・サイクルは2つのTサイクルからなっている。

【0176】プロセッサ・サイクル0のときは、IFU102とVMU108は物理アドレスを生成するように動作する。この物理アドレスはCCU106へ送られ、命令用キャッシュ・アクセス・オペレーションが開始される。要求された命令セットが命令用キャッシュ132にあると、命令セットはプロセッサ・サイクル1のほぼ中間でIFU102へ戻される。そのあと、IFU102はプリフェッチ・ユニット260とIFO264を経由する命令セットの転送を管理し、転送された命令セットはまずIEU104へ実行のために渡される。

【0177】1) Eデコード・ユニットの詳細

Eデコード・ユニット490は全命令セットを並列に受け取って、プロセッサ・サイクル1が完了する前にデコードする。Eデコード・ユニット490は好適アーキテクチャ100では、バス124を経由して受け取ったすべての有効命令を並列に直接デコードする機能を備えた順列組合せ理論に基づくロジック・ブロックとして実現されている。アーキテクチャ100によって認識される命令は、各タイプ別に、命令、レジスタ要件および必要な資源の仕様とともに表V1に示されている。

【0178】

表V1

### 命令/仕様

命令

制御とオペランド情報\*

レジスタ間移動

論理/算術演算機能コード:

(36)

69

即値からレジスタへ  
移動

ロード／ストア・レジスタ

即値コール  
制御フロー

特殊レジスタ移動

整数変換移動

ブール関数

拡張プロシージャ

アトミック・プロシージャ

70

加算、減算、乗算、シフトその他の指定  
宛先レジスタ  
P S Rのみセット  
ソース・レジスタ 1  
ソース・レジスタ 2 または即値定数値  
レジスタセットA／B選択  
宛先レジスタ  
即値整数または浮動小数点定数値  
レジスタ・セットA／B選択  
オペレーション機能コード：  
ロードまたはストアの指定、即値、ベースと  
即値、またはベースとオフセットの使用  
ソース／宛先レジスタ  
ベース・レジスタ  
インデックス・レジスタまたは即値定数値  
レジスタ・セットA／B選択  
符号付き即値変位  
オペレーション機能コード：  
ブランチ・タイプとトリガ条件の指定  
ベース・レジスタ  
インデックス・レジスタ、即値定数変位値、また  
はトラップ番号  
レジスタ・セットA／B選択  
オペレーション機能コード：  
特殊／整数レジスタとの間の移動の指定  
特殊レジスタ・アドレス識別子ソース／宛先レジ  
スタ  
レジスタ・セットA／B選択  
オペレーション機能コード：  
浮動小数点から整数への変換タイプの指定  
ソース／宛先レジスタ  
レジスタ・セットA／B選択  
ブール関数コード：AND、ORなどの指定  
宛先ブール・レジスタ  
ソース・レジスタ 1  
ソース・レジスタ 2  
レジスタ・セットA／B選択  
プロシージャ指定子：プロシージャ・ベース値か  
らのアドレス・オフセットの指定  
オペレーション：値をプロシージャ・ルーチンへ  
渡す  
プロシージャ指定子：アドレス値の指定

\* - 命令は、デコードされて命令を識別するフィールドのほかにこれらのフィー  
ルドを含んでいる。

【0179】Eデコード・ユニット490は命令セット  
の各命令を並列にデコードする。その結果の命令の識  
別、命令機能、レジスタ参照および機能要件はEデコー  
ド・ユニット490の出力から得られる。この情報は再  
生成され、命令セット内のすべての命令が退避されるま

でプロセッサ・サイクルの各半サイクル期間、Eデコー  
ド・ユニット490によってラッチされる。したがっ  
て、保留状態の8命令すべてに関する情報がEデコー  
ド・ユニット490の出力から絶えず得られるようになっ  
ている。この情報は8エレメント・ビット・ベクトルの  
50

(37)

71

形式で表示され、各ベクトルのビットまたはサブフィールドは2つの保留中命令セット内の対応する命令の物理ロケーションに論理的に対応している。したがって、8個のベクトルが制御ライン502を経由してキャリー・チェック492へ送られる。この場合、各ベクトルは対応する命令がプロセッサ状況ワードのキャリー・ビットに作用を及ぼしているか、あるいはそれに依存しているかを指定している。8個のベクトルが各命令の特定の内容と機能ユニット要件を示すために制御ライン510を経由して送られる。8個のベクトルが制御ライン506を経由して送られ、8個の保留中命令の各々によって使用されたレジスタ参照を指定している。これらのベクトルはプロセッサ・サイクル1が終了する前に送られる。

【0180】2) キャリー・チェック・ユニットの詳細  
キャリー・チェック・ユニット492は図14に示すオペレーションのデータ依存関係フェーズ期間の間に依存関係検査ユニット494と並列に動作する。キャリー・チェック・ユニット492は好適アーキテクチャ100では順列組合せ理論に基づくロジックとして実現されている。したがって、キャリー・チェック・ユニット492によるオペレーションの各繰り返し時に、命令がプロセッサ状況レジスタのキャリー・フラグを変更したかどうかについて8個の命令すべてが考慮される。これが必要とされるのは、その前の命令によって設定されたキャリー・ビットの状況に依存する命令を順序外で実行することを可能にするためである。制御ライン504上に送出された制御信号により、キャリー・チェック・ユニット492は、キャリー・フラグに対する先行命令の実行に依存する特定の命令を識別することができる。

【0181】さらに、キャリー・チェック・ユニット492は8個の保留中命令の各々についてキャリー・ビットの一時的コピーをもっている。キャリー・ビットを変更していない命令については、キャリー・チェック・ユニット492はプログラム命令ストリームの順序でキャリー・ビットを次の命令に伝える。したがって、順序外で実行され、キャリー・ビットを変更する命令を実行させることができあり、さらに、その順序外で実行される命令に依存する後続の命令も、キャリー・ビットを変更する命令のあとに置かれていても、実行することが可能である。さらに、キャリー・ビットがキャリー・チェック・ユニット492によって維持されているので、これらの命令の退避以前に例外が起こったとき、キャリー・チェック・ユニットは内部一時キャリー・ビット・レジスタをクリアするだけでよいことから、順序外で実行することが容易になる。その結果、プロセッサ状況レジスタは、順序外で実行される命令の実行による影響を受けない。キャリー・チェック・ユニット492が維持している一時キャリー・ビット・レジスタは、順序外で実行される各命令が完了すると更新される。順序外で実行される命令が退避されると、プログラム命令ストリーム

72

の中で最後に退避された命令に対応するキャリー・ビットはプロセッサ状況レジスタのキャリー・ビット・ロケーションへ転送される。

【0182】3) データ依存関係チェック・ユニットの詳細

データ依存関係チェック・ユニット494はEデコード・ユニット490から制御ライン506を経由して8個のレジスタ参照識別ベクトルを受け取る。各レジスタの参照は32個のレジスタを一度に1つを識別するのに適した5ビット値と“A”“B”またはプール・レジスタ・セット内に置かれているレジスタ・バンクを識別する2ビット値によって示されている。浮動小数点レジスタ・セットは“B”レジスタ・セットとも呼ばれる。各命令は最高3つまでのレジスタ参照フィールドを持つことができる。2つのソース・レジスタ・フィールドと1つの宛先レジスタ・フィールドである。ある種の命令、特にレジスタ間移動命令は、宛先レジスタを指定している場合があっても、Eデコード・ユニット490によって認識される命令ビット・フィールドは実際に作製される出力データがないことを意味している場合がある。むしろ、命令の実行は、プロセッサ状況レジスタの値の変更を判断することだけを目的としている。

【0183】データ依存関係チェック494も好適アーキテクチャ100において純然たる組合せロジック(pure combinatorial logic)で実現されているが、これはプログラム命令ストリーム内に後に現れる命令のソース・レジスタ参照と相対的に前に置かれた命令の宛先レジスタ参照との間の依存関係を同時に判断するように動作する。ビット配列は、どの命令が他の命令に依存するかを識別するだけでなく、各依存関係がどのレジスタに基づいて生じたかを識別するデータ依存関係チェック494によって作られる。キャリーとレジスタ・データの依存関係は、第2プロセッサ・サイクルの開始直後に判別される。

【0184】4) レジスタ改名ユニットの詳細

レジスタ改名ユニット496は8個の保留中の命令すべてのレジスタ参照のIDを制御ライン506を経由してレジスタ依存関係を制御ライン508を経由して受け取る。8個のエレメントからのマトリックスも制御ライン

542を経由して受け取る。これらのエレメントは保留中命令の現セットの中でどの命令が実行されたか(完了したか)を示している。この情報からレジスタ改名ユニット496は制御信号の8エレメント配列を制御ライン512を経由して命令発行ユニット498へ送る。このようにして送られた制御情報は、現セットのデータ依存関係が判別された場合に、まだ実行されていない現在保留中の命令のうちどの命令の実行が可能になったかについてレジスタ改名ユニット496が行った判断を反映している。レジスタ改名ユニット496は実行のために同時にに出される最高6個までの命令を識別した選択制御信

(38)

73

号をライン516を経由して受信する。つまり、2個の整数命令、2個の浮動小数点命令および2個のブール命令である。

【0185】レジスタ改名ユニット496はバス518を経由してレジスタ・ファイル配列472へ送られた制御信号を通して、識別された命令を実行する際にアクセスするソース・レジスタを選択するというもう一つの機能を備えている。順序外で実行される命令の宛先レジスタは、対応するデータ経路の一時バッファ612、680、728に置かれているものとして選択される。順序内で実行される命令は完了すると退避され、その結果データはレジスタ・ファイル614、684、732にストアされていく。ソース・レジスタの選択は、レジスタが以前に宛先として選択され、対応する以前の命令がまだ退避されていないかどうかによって決まる。そのような場合には、ソース・レジスタは対応する一時バッファ612、680、728から選択される。以前の命令が退避されていた場合は、対応するレジスタ・ファイル614、684、732のレジスタが選択される。その結果、レジスタ改名ユニット496は順序外で実行される命令の場合には、レジスタ・ファイル・レジスタの参照を一時バッファ・レジスタの参照に実効的に置き換えるように動作する。

【0186】アーキテクチャ100によれば、一時バッファ612、680、728は対応するレジスタ・ファイル配列のレジスタ構造と重複していない。むしろ、8個の保留命令の各々に対して1つの宛先レジスタ・スロットが用意されている。その結果、一時バッファ宛先レジスタ参照の置換は、保留レジスタ・セット内の対応する命令のロケーションによって判断される。そのあとのソース・レジスタ参照はソース依存関係が発生した命令に対してデータ依存関係チェック494によって識別される。したがって、一時バッファ・レジスタ内の宛先スロットはレジスタ改名ユニット496によって容易に判断することが可能である。

#### 【0187】5) 命令発行ユニットの詳細

命令発行ユニット498は、発行できる命令のセットをレジスタ改名ユニット496の出力とEデコード・ユニット490によって識別された命令の機能要件に基づいて判断する。命令発行ユニット498は制御ライン514を経由して報告された機能ユニット4780-nの各々の状況に基づいてこの判断を行う。したがって、命令発行ユニット498は発行すべき使用可能な命令セットをレジスタ改名ユニット496から受信すると、オペレーションを開始する。各命令を実行するためにレジスタ・ファイルへのアクセスが必要であるとすると、命令発行ユニット498は現在命令を実行中の機能ユニット4980-nが使用可能であることを予想する。レジスタ改名ユニット496へ発行すべき命令を判別する際の遅延を最小にするために、命令発行ユニット498は専用の組

(39)

74

合せロジックで実現されている。

【0188】発行すべき命令を判別すると、レジスタ改名ユニット496はレジスタ・ファイルへのアクセスを開始し、このアクセスは第3プロセッサ・サイクルP2が終了するまで続けられる。プロセッサ・サイクルP3が開始すると、命令発行ユニット498は「Execute 0」で示すように1つまたは2つ以上の機能ユニット4780-nによるオペレーションを開始し、レジスタ・ファイル配列472から送られてきたソース・データを受信して処理する。

【0189】代表例として、アーキテクチャ100で処理される大部分の命令は1プロセッサ・サイクルで機能ユニットを通して実行される。しかし、一部の命令は、「Execute 1」で示すように、同時に複数の命令を完了するのに複数のプロセッサ・サイクルを必要とする。Execute 0命令とExecute 1命令は、例えばそれぞれALUと浮動小数点乗算機能ユニットに実行させることができる。ALU機能ユニットは図14に示すように、1プロセッサ・サイクル内で出力データを発生し、この出力データはラッチしておくだけで、第5プロセッサ・サイクルP4時に別の命令を実行する際に使用することができる。浮動小数点乗算機能ユニットは内部パイプライン化機能ユニットにすることが好ましい。したがって、次のプロセッサ・サイクルで別の浮動小数点命令を出すことができる。しかし、最初の命令の結果はデータに依存するプロセッサ・サイクル数の間使用することができない。図14に示す命令は、機能ユニットでの処理を完了するためには、3プロセッサ・サイクルを必要とする。

【0190】各プロセッサ・サイクルの間に、命令発行ユニット498の機能は繰り返される。その結果、現在の保留中の命令セットの状況と機能ユニット4780-nの全セットの使用可能状況は各プロセッサ・サイクルの間に再評価される。したがって、最適条件のとき、好適アーキテクチャ100はプロセッサ・サイクルごとに最高6個までの命令を実行することができる。しかし、代表的な命令ミックスから得られる総平均実行命令数は1プロセッサ・サイクル当たり1.5個ないし2.0個である。

【0191】命令発行ユニット498の機能で最後に考慮すべきことは、このユニットがトラップ条件の処理と特定命令の実行に関与することである。トラップ条件を発生するためには、まだ退避されていないすべての命令をIEU104からクリアする必要がある。このような事態は、算術演算エラーに応答して、機能ユニット4780-nのいずれからか、あるいは例えば違法命令をデコードしたときにEデコード・ユニット490から外部割り込みを受信し、それが割り込み要求/受信確認制御ライン340を経由して、IEU104へ中継されたのに応答して、起こることがある。トラップ条件が発生しと

(39)

75

き、命令発行ユニット498は現在IEU104で保留されているすべての非退避命令を中止または無効にすることを受け持つ。同時に退避できない命令はすべて無効にされる。この結果は、プログラム命令ストリームを順序内で実行する従来の方式に対して割り込みを正確に発生させるために不可欠である。IEU104がトラップ処理プログラム・ルーチンの実行を開始する準備状態になると、命令発行ユニット498は制御ライン340を経由するリターン制御信号によって割り込みの受信を確認する。また、従来の純然たる順序内ルーチンにおいてある命令が実行される前に変更されたプロセッサ状態ビットに基づいてその命令に対する例外条件が認識される可能性を防止するために命令発行ユニット498は、PSRを変更する可能性のあるすべての命令（特殊移動やトラップからのリターンなど）が厳格に順序内で実行されることを受け持つ。

【0192】プログラム制御の流れを変更するある種の命令は、Iデコード・ユニット262によって判別されない。この種の命令には、サブルーチン・リターン、プロシージャ命令からのリターン、トラップからのリターンがある。命令発行ユニット498は判別制御信号をIEUリターン制御ライン350を経由してIFU102へ送る。特殊レジスタ412のうち対応するものが選択されて、コール命令の実行時、トラップの発生時またはプロシージャ命令の出現時に存在していたIFPC実行アドレスを出力する。

#### 【0193】6) 完了制御ユニットの詳細

完了制御ユニット540は機能ユニット4780-nをモニタして、現在のオペレーションの完了状況を調べる。好適アーキテクチャ100では、完了制御ユニット540は各機能ユニットによるオペレーションの完了を予想して、現在保留中の命令セットの中の各命令の実行状況を示した完了ベクトルを機能ユニット4780-nによる命令の実行完了よりも約半プロセッサ・サイクル前にレジスタ改名ユニット496、バイパス制御ユニット520および退避制御ユニット500へ送る。これにより、命令発行ユニット498はレジスタ改名ユニット496を通して、実行を完了する機能ユニットを次の命令発行サイクルに対して使用可能な資源として考慮することができる。バイパス制御ユニット520は、機能ユニットから出力されたデータをバイパス・ユニット474を経由するようにバイパスする準備を行うことができる。最後に、退避制御ユニット500は機能ユニット4780-nからレジスタ・ファイル配列472へデータを転送するのと同時に對応する命令を退避するように動作する。

#### 【0194】7) 退避制御ユニットの詳細

完了制御ユニット540から送られた命令完了ベクトルの他に、退避制御ユニット500はEデコード・ユニット490から出力された最も古い命令セットをモニタする。命令ストリーム順序の中の各命令に完了制御ユニッ

10

76

ト540によって完了の印（マーク）が付けられると、退避制御ユニット500は、制御ライン534上に送出された制御信号を通して一時バッファ・スロットからレジスタ・ファイル配列472内の対応する命令が指定したファイル・レジスタ・ロケーションへデータを転送することを指示する。1つまたは複数の命令が同時に退避されると、PC Inc/size制御信号が制御ライン344上に送出される。各プロセッサ・サイクルごとに最高4個までの命令を退避することが可能である。命令セット全体が退避されると、IFIFO読み取り制御信号が制御ライン342上に送出されてIFIFO264を前進させる。

【0195】8) 制御フロー制御ユニットの詳細  
制御フロー制御ユニット528は、現在の保留中命令セット内の制御フロー命令が解決されたかどうか、さらに、その結果プランチが行われたかどうかを指定した情報をIFU102に絶えず与えるように動作する。制御フロー制御ユニット528はEデコード・ユニット490による制御フロー・プランチ命令の識別情報を制御ライン510を経由して取得する。現在のレジスタ依存関係のセットは、制御ライン536を経由してデータ依存関係チェック・ユニット494から制御フロー制御ユニット528へ送られるので、制御フロー制御ユニット528はプランチ命令の結果が依存関係に拘束されているかどうか、あるいは判明しているかどうかを判断することができる。レジスタ改名ユニット496からバス518を経由して、送られたレジスタの参照は制御フロー制御ユニット528によってモニタされ、プランチ決定を定義するプール・レジスタが判別される。したがって、プランチ決定は制御フロー命令の順序外の実行以前でも判断することが可能である。

【0196】9) 制御フロー命令の実行と同時に、バイパス・ユニット474は、制御フロー1と制御フロー2の制御ライン750、752からなる制御ライン530を経由して制御フローの結果を制御フロー制御ユニット528へ送るように指示される。最後に、制御フロー制御ユニット528は各々が8ビットの2個のベクトルを制御ライン348を経由して、IFU102へ連続して送る。これらのベクトルは、ベクトル内のビットに対応する論理ロケーションに置かれた命令が解決されたか否かおよびその結果プランチが行われたか否かを定義している。好適アーキテクチャ100では、制御フロー制御ユニット528は制御ユニット528への入力制御信号を受けて連続的に動作する組合せロジックとして実現されている。

【0197】9) バイパス制御ユニットの詳細  
命令発行ユニット498は、バイパス制御ユニット520と厳密に協働して、レジスタ・ファイル配列472と機能ユニット4780-n間のデータのルーティング（経路指定）を制御する。バイパス制御ユニット520は図1

50

(40)

77

4に示すオペレーションのレジスタ・ファイル・アクセス、出力およびストア・フェーズと関連して動作する。レジスタ・ファイル・アクセスの間にはバイパス制御ユニット520は命令の実行の出力フェーズの間に書き込まれている途中にあるレジスタ・ファイル配列472内の宛先レジスタのアクセスを制御ライン522を通して認識することができる。この場合、バイパス制御ユニット520はバイパスして機能ユニット配布バス480に返すように、機能ユニット出力バス482上に送出されたデータを選択することを指示する。バイパス・ユニット520に対する制御は、制御ライン542を通して命令発行ユニット498によって行われる。

【0198】 I V. 仮想メモリ制御ユニット

VMU108のインターフェース定義は図15に示されている。VMU108は主にVMU制御ロジック・ユニット800と内容アドレス (content addressable) メモリ (CAM) 802から構成されている。VMU108の一般的な機能は図16にブロック図で示してある。同図において、仮想アドレスの表現はスペースID (s ID [31:28]) 、仮想ページ番号 (VADDR [27:14]) 、ページ・オフセット (PADDR [13:4]) 、および要求ID (r ID [3:0]) に分割されている。物理アドレスを生成するためのアルゴリズムでは、スペースIDを使用して、スペース・テーブル842内の16個のレジスタから1つを選択するようになっている。選択したスペース・レジスタの内容と仮想ページ番号とを組み合わせて、テーブル索引バッファ (TLB) 844をアクセスするときのアドレスとして使用される。34ビット・アドレスは内容アドレス・タグの働きをし、バッファ844内の対応するバッファ・レジスタを指定するために使用される。タグに一致するものが見つかると、18ビット幅レジスタ値が物理アドレス846の上位18ビットとして得られる。ページ・オフセットと要求IDは物理アドレス846の下位14ビットとして得られる。

【0199】 タグに一致するものがテーブル索引バッファ844に見つからないと、VMU不一致が通知される。この場合は、MAU112に維持されている完全ページ・テーブル・データ構造をアクセスする従来のハッシュ・アルゴリズム848を採用したVMU高速トラップ処理ルーチンを実行させる必要がある。このページ・テーブル850はアーキテクチャ100によって現在使用中のすべてのメモリ・ページのエントリを含んでいる。ハッシュ・アルゴリズム848は現在の仮想ページ変換操作を満たすために必要なページ・テーブル・エントリを判別する。これらのページ・テーブル・エントリはMAU112からレジスタ・セット“A”的トラップ・レジスタへロードされ、そのあと特殊レジスタ移動命令によってテーブル索引バッファ844へ転送される。例外処理ルーチンから戻ると、VMU不一致例外を引き

78

起こした命令はIEU104によって再実行される。仮想アドレスから物理アドレスへの変換操作は例外を引き起こさないで完了するはずである。

【0200】 VMU制御ロジック800はIFU102およびIEU104とのデュアル・インターフェースとなる。準備信号は制御ライン822を経由して、IEU104へ送られ、VMU108がアドレス変換のために使用可能であることを通知する。好適実施例では、VMU108は常にIFU102の変換要求を受け付ける準備状態にある。IFU102およびIEU104は共に、制御ライン328および804を経由して要求を提示することができる。好適アーキテクチャ100では、IFUは優先してVMU108をアクセスすることができる。その結果、ビジー（使用中）制御ライン820は1つだけがIEU104に出力される。

【0201】 IFU102およびIEU104は共にスペースIDと仮想ページ番号フィールドをそれぞれ制御ライン326および808を経由して、VMU制御ロジック800へ送る。さらにIEU104は読み書き制御信号を制御信号806で出力する。この制御信号は、参照された仮想メモリのメモリ・アクセス保護属性を変更するために、そのアドレスをロード・オペレーションに使用すべきか、ストア・オペレーションに使用すべきかを必要に応じて定義している。仮想アドレスのスペースIDと仮想ページ・フィールドは、CAMユニット802に渡されて、実際の変換操作が行われる。ページ・オフセットとE x IDフィールドは最終的にIEU104から直接にCCU106へ送られる。物理ページと要求IDフィールドは、アドレス・ライン836を経由してCAMユニット802へ送られる。テーブル索引バッファに一致するものが見つかると、ヒット・ラインと制御出力ライン830を経由してVMU制御ロジック・ユニット800に通知される。その結果の18ビット長の物理アドレスはアドレス出力ライン824上に出力される。

【0202】 VMU制御ロジック・ユニット800は、ライン830からヒットおよび制御出力制御信号を受けると、仮想メモリ不一致と仮想メモリ例外制御信号をライン334、332上に出力する。仮想メモリ変換不一致とは、テーブル索引バッファ844内のページ・テーブルIDと一致しなかったことを意味する。その他の変換エラーはすべて仮想メモリ例外として報告される。

【0203】 最後にCAMユニット802内のデータ・テーブルは特殊レジスタ間移動命令をIEU104が実行することによって変更することができる。読み書き、レジスタ選択、リセット、ロードおよびクリア制御信号はIEU104から制御ライン810、812、814、816、818を経由して出力される。CAMユニット・レジスタに書くべきデータは、特殊アドレス・データ・バス354に接続されたアドレス・バス808を

(41)

79

経由してIEU104からVMU制御ロジック・ユニット800によって受信される。このデータは初期設定、レジスタ選択、および読み書き制御信号を制御する制御信号と同時にバス836を経由してCAMユニット802へ転送される。その結果、CAMユニット802内のデータ・レジスタは、より高レベルのオペレーティング・システムで定義されているコンテキスト・スイッチを処理するとき必要になるストアのための読み出しを含めて、アーキテクチャ100の動的オペレーションの間に必要に応じて即座に書き出すことができる。

【0204】V. キャッシュ制御ユニット  
CCU106のデータ・インターフェースに対する制御は、図17に示されている。この場合も、IFU102とIEU104用に別々のインターフェースが設けられている。さらに論理的に別個のインターフェースがCCU106に用意され、命令とデータ転送のためにMCU110と結ばれている。IFUインターフェースはアドレス・ライン324上に送出される物理ページ・アドレス、アドレス・ライン824上に送出されるVMU変換ページ・アドレス、および制御ライン294、296上を別々に転送される要求IDからなっている。単方向データ転送バス114は命令セット全体をIFU102と並列に転送するためのものである。最後に、読み取り／使用中および準備制御信号は制御ライン298、300、302を経由して、CCU106へ送られる。

【0205】同様に、物理アドレス全体は物理アドレス・バス788を経由して、IEU104へ送られる。要求ExIDは制御ライン796を経由して、IEU104のロード／ストア・ユニットとの間で別々に受渡される。80ビット幅単方向データ・バスはCCU106からIEU104に出力される。しかし、アーキテクチャ100の好適実施例では、下位の64ビットだけがIEU104によって使用される。全80ビット・データ転送バスをCCU106内で使用できるようにし、かつ、サポートしているのは、本アーキテクチャ100の引き継いで実行をサポートするためであり、浮動小数点データ経路660を変更することによって、IEEE標準754に準拠する浮動小数点のオペレーションをサポートする。

【0206】IEU制御インターフェースは、要求、使用中、準備、読み書きを通して、および制御信号784を通して確立され、実質的にはIFU102によって使用される対応する制御信号と同じである。例外は、ロード・オペレーションとストア・オペレーションを区別するための読み書き制御信号が設けられていることである。幅制御信号はIEU104による各CCU106へのアクセス時に転送されるバイト数を指定している。これに対して、命令用キャッシュ132の全てのアクセスは固定した128ビット幅データ・フェッチ・オペレーションになっている。

80

【0207】CCU106は命令用キャッシュ132とデータ用キャッシュ134に対して従来とほぼ同じキャッシュ制御機能を備えている。好適アーキテクチャ100では、命令用キャッシュ132は256個の128ビット幅命令セットをストアする機能を備えた高速メモリになっている。データ用キャッシュ134は1024個の32ビット幅ワードのデータをストアする機能を備えている。命令用キャッシュ132とデータ用キャッシュ134の内容から即時に満足できない命令要求とデータ要求はMCU110に渡される。命令用キャッシュがミスした場合は、28ビット幅物理アドレスがアドレス・バス860を経由してMCU110に渡される。要求IDおよびCCU106とMCU110のオペレーションを調整するための追加制御信号は制御ライン862上に送出される。MCU110がMAU112の必要な読み取りアクセスを調整すると、2つの連続する64ビット幅データ転送が直接にMAU112から命令用キャッシュ132へ行われる。2つの転送が必要になるのは、データ・バス136が好適アーキテクチャ100では、64ビット幅バスになっているためである。要求したデータがMCU110を通して返却されると、要求オペレーションの保留中に維持されていた要求IDも制御ライン862を経由してCCU106へ返却される。

【0208】データ用キャッシュ134とMCU110との間のデータ転送オペレーションは、命令用キャッシュの転送オペレーションとほぼ同じである。データ・ロードとストア・オペレーションは単一バイトを参照できるので、全32ビット幅の物理アドレスがアドレス・バス864を経由して、MCU110へ送られる。インターフェース制御信号と要求ExIDは制御ライン866を経由して、転送される。双方向の64ビット幅データ転送はデータ用キャッシュ・バス138を経由して行われる。

【0209】

【発明の効果】高性能RISCをベースとしたマイクロプロセッサ・アーキテクチャは以上に説明した通りである。本発明のアーキテクチャによれば、命令を順序外に実行することができ、メインとターゲット命令ストリームのプリフェッチ命令転送経路を別々に設け、およびブロシージャ命令認識と専用プリフェッチ経路を設けることができる。命令実行ユニットは最適化されているので、最適化された複数のデータ処理経路で整数、浮動小数点およびブール演算をサポートすることができ、また、それぞれの一時レジスタ・ファイルが設けられているので、容易に設定されるマシン状態の状況を正確に維持しながら、順序外の実行と命令取消しを容易に行うことができる。したがって、上述した説明では、本発明の好適実施例を開示しているが、当業者にとって本発明の範囲内で種々変更および改良することが可能であることは勿論である。

(42)

81

## 【図面の簡単な説明】

【図1】 本発明を実現するマイクロプロセッサ・アーキテクチャを示す簡略図である。

【図2】 本発明の命令フェッチ・ユニットを示す詳細ブロック図である。

【図3】 本発明のプログラム・カウンタ・ロジック・ユニットを示すブロック図である。

【図4】 プログラム・カウンタ・データと制御経路ロジックを示す別の詳細ブロック図である。

【図5】 本発明の命令実行ユニットを示す簡略ブロック図である。

【図6】 レジスタ・ファイル・アーキテクチャ及び1次及び2次命令セットを図形で示す図である。

【図7】 1次整数レジスタの再構成ステージを図形で示す図である。

【図8】 本発明の再構成可能浮動小数点及び2次整数レジスタ・セットを図形で示す図である。

【図9】 本発明の3次ブール・レジスタ・セットを図形で示す図である。

【図10】 本発明の命令実行ユニットの1次整数処理データ経路部分を示す詳細ブロック図である。

(42)

82

【図11】 本発明の命令実行ユニットの1次浮動小数点データ経路部分を示す詳細ブロック図である。

【図12】 本発明の命令実行ユニットのプール演算データ経路部分を示す詳細ブロック図である。

【図13】 本発明のロード/ストア・ユニットを示すブロック図である。

【図14】 本発明のオペレーション順序を示すタイミング図である。

【図15】 本発明の仮想メモリ制御ユニットを示す簡略ブロック図である。

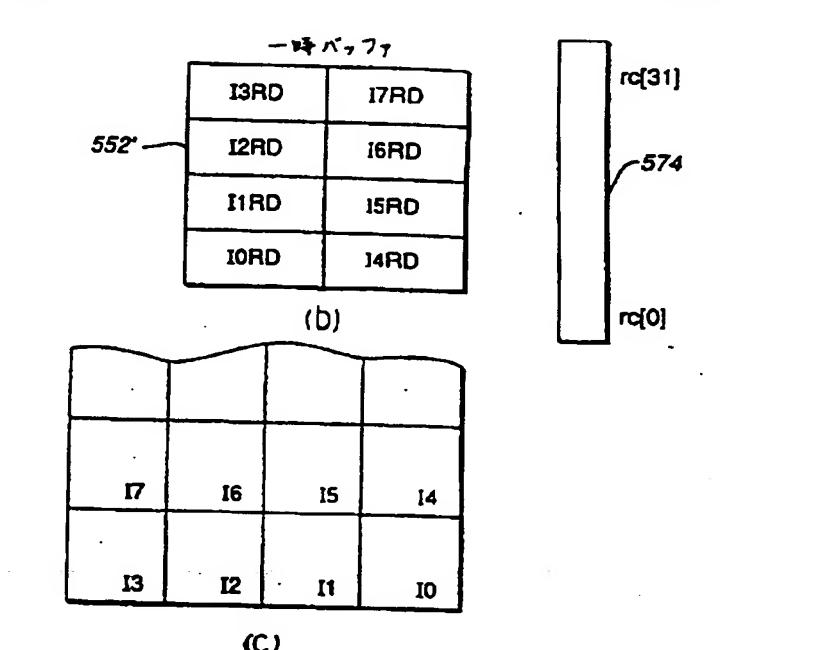
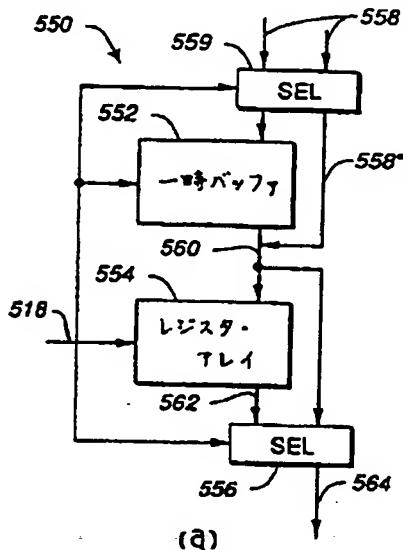
【図16】 本発明の仮想メモリ制御アルゴリズムを示すブロック図である。

【図17】 本発明のキャッシュ制御ユニットを示す簡略ブロック図である。

## 【符号の説明】

100…アーキテクチャの概要、102…命令フェッチ・ユニット (IFU) 104…命令実行ユニット (IEU) 、106…キャッシュ制御ユニット (CUU) 、108…仮想メモリ・ユニット (VMU) 、110…メモリ制御ユニット (MCU) 、112…メモリ・アレイ・ユニット (MAU) 。

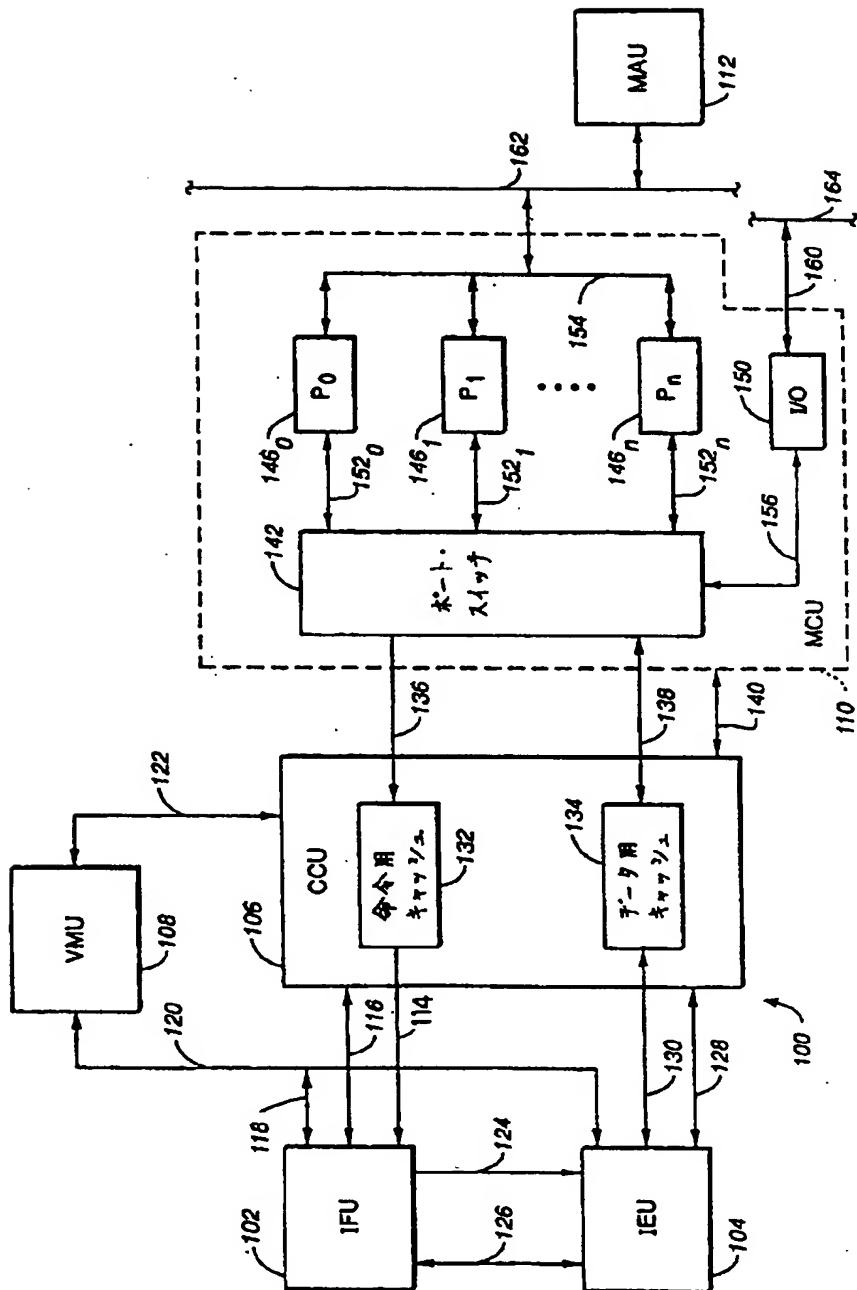
【図6】



【図9】

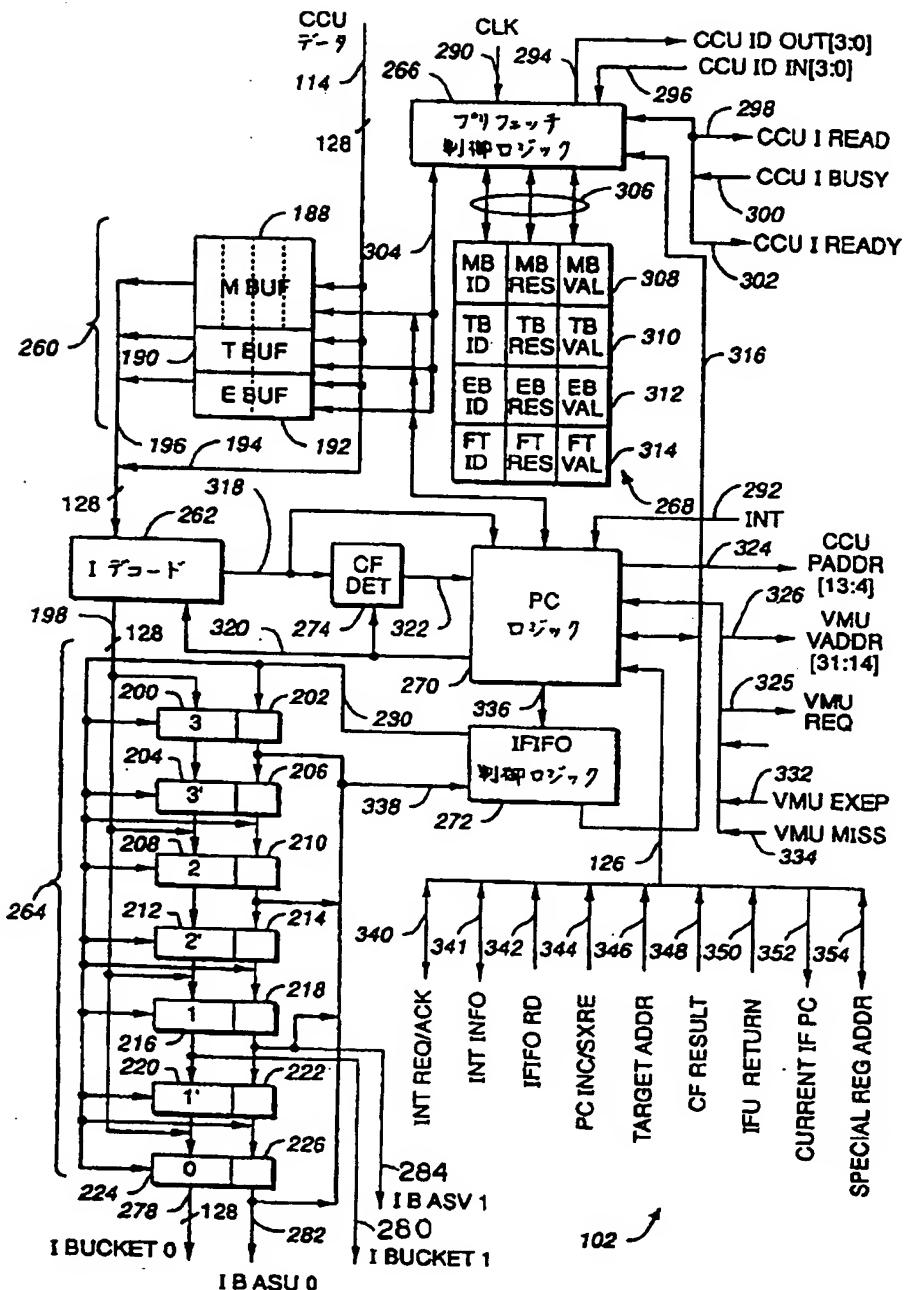
(43)

【図1】



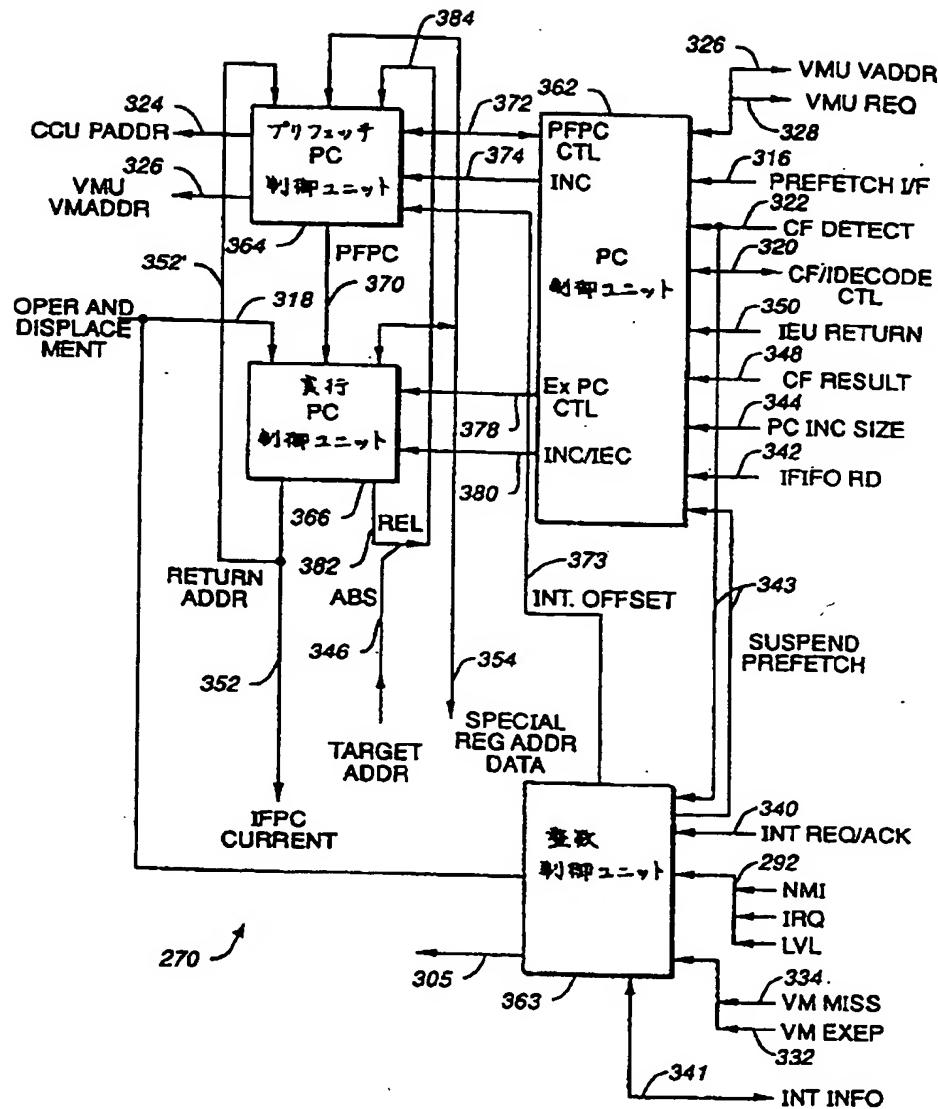
(44)

【图2】



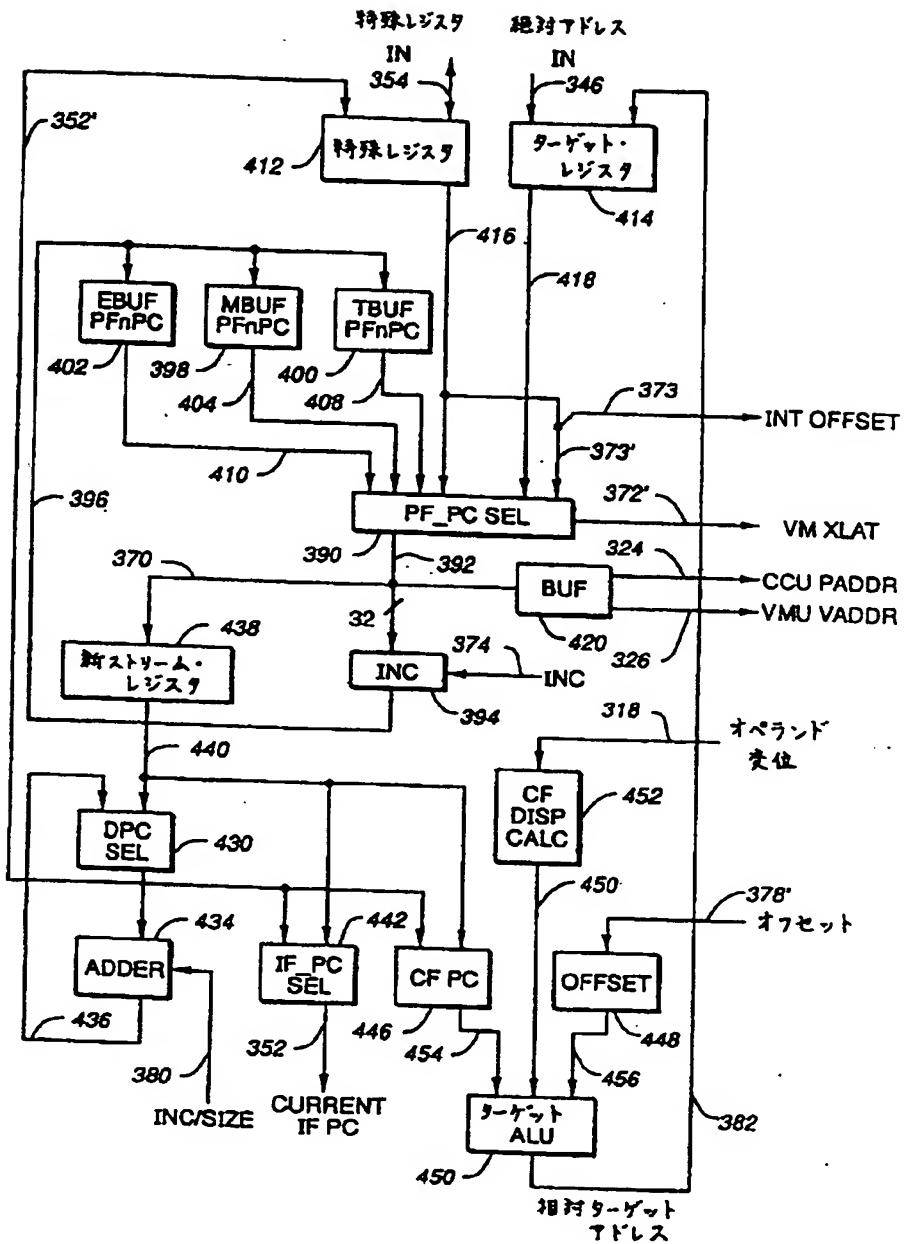
(45)

[図3]



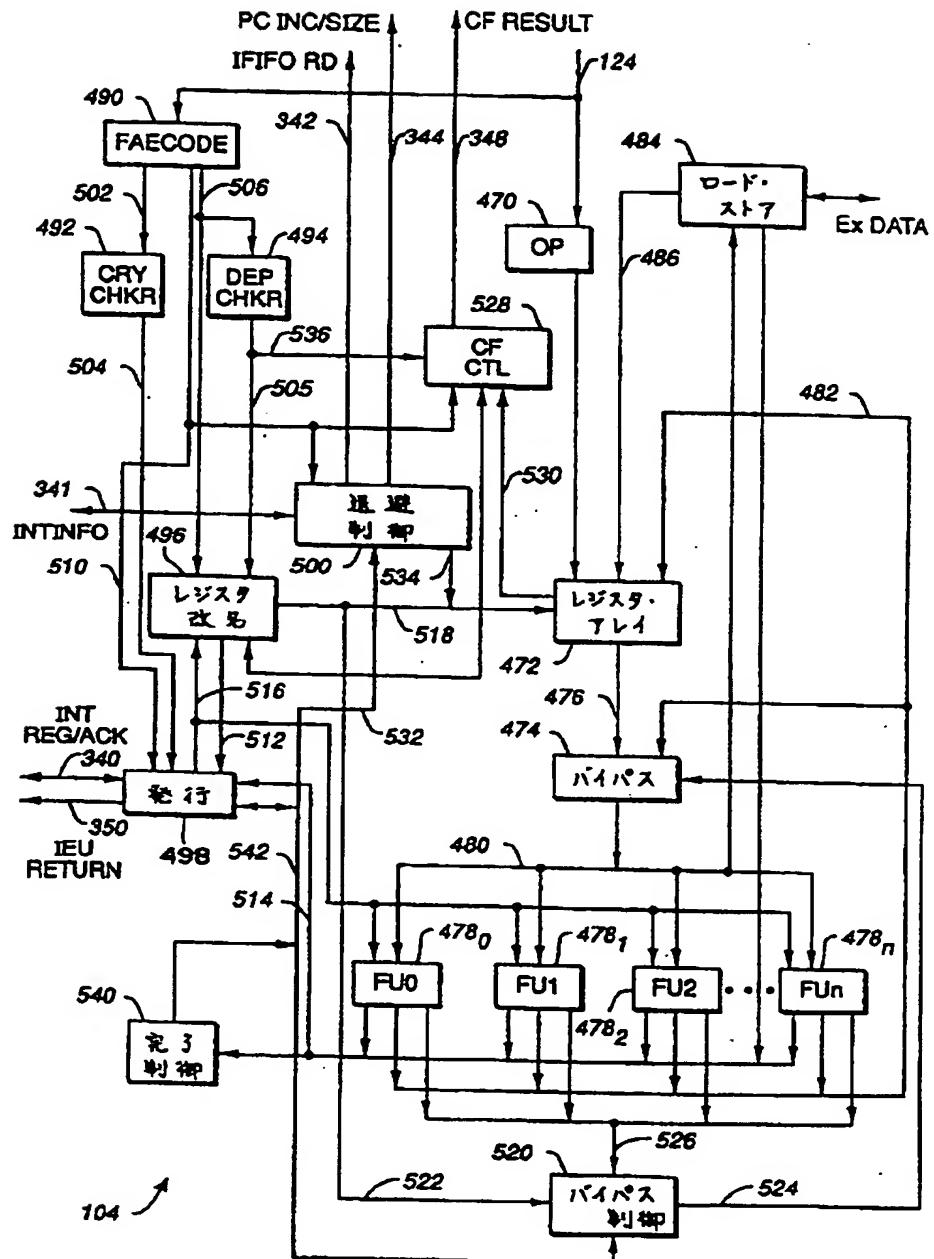
(46)

【図4】



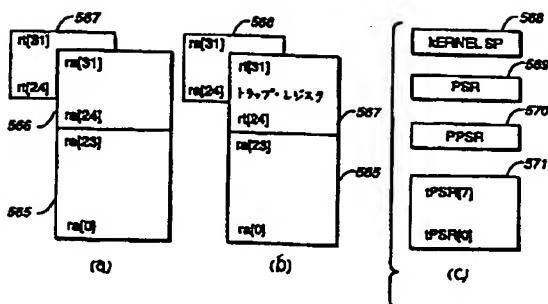
(47)

【図5】

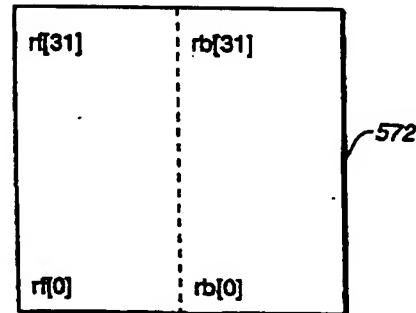


(48)

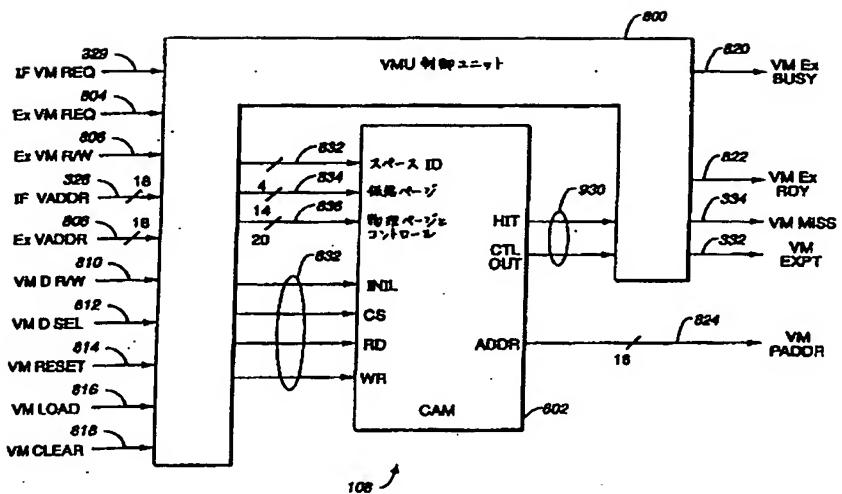
【图7】



〔図 8 〕

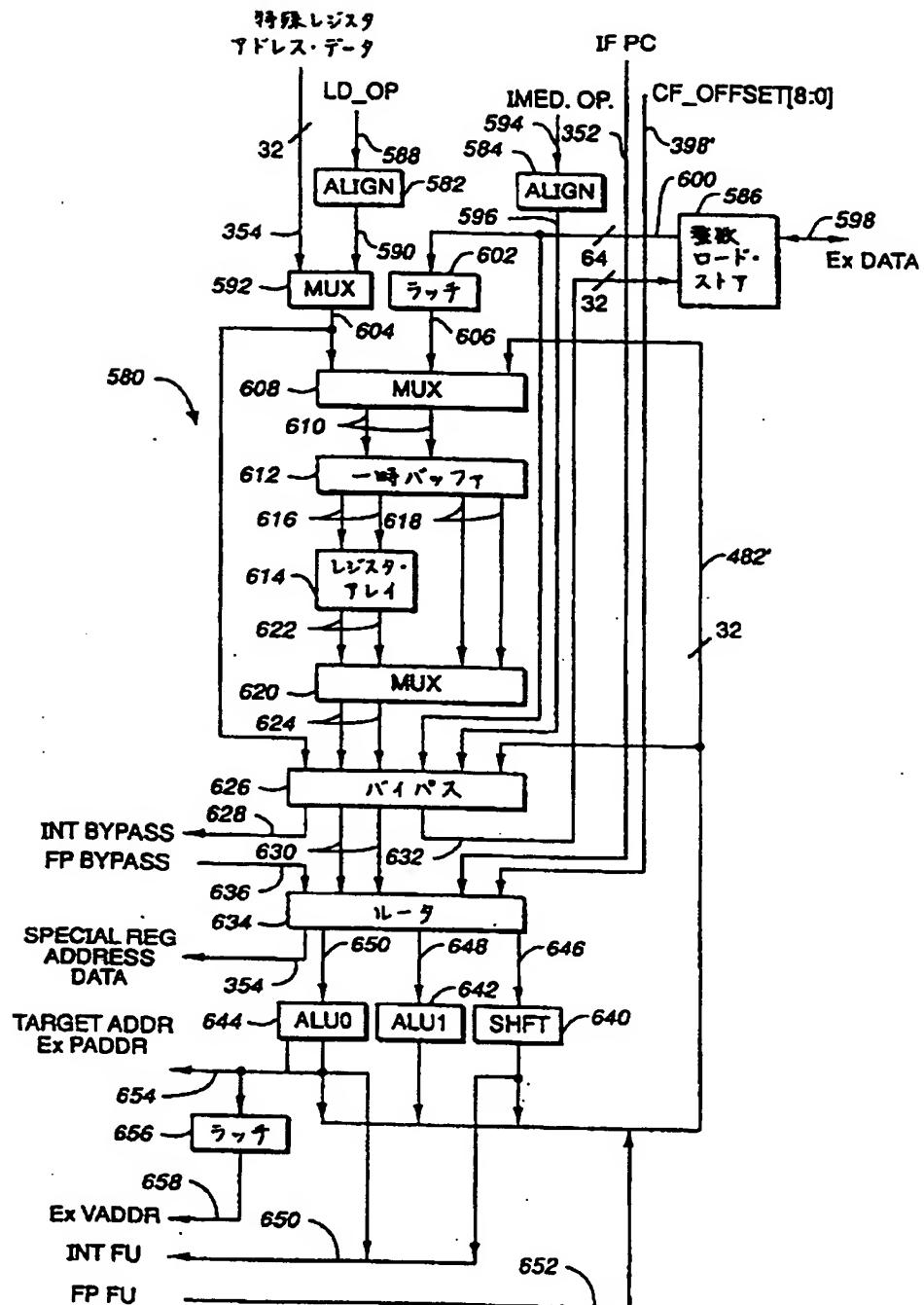


[図15]



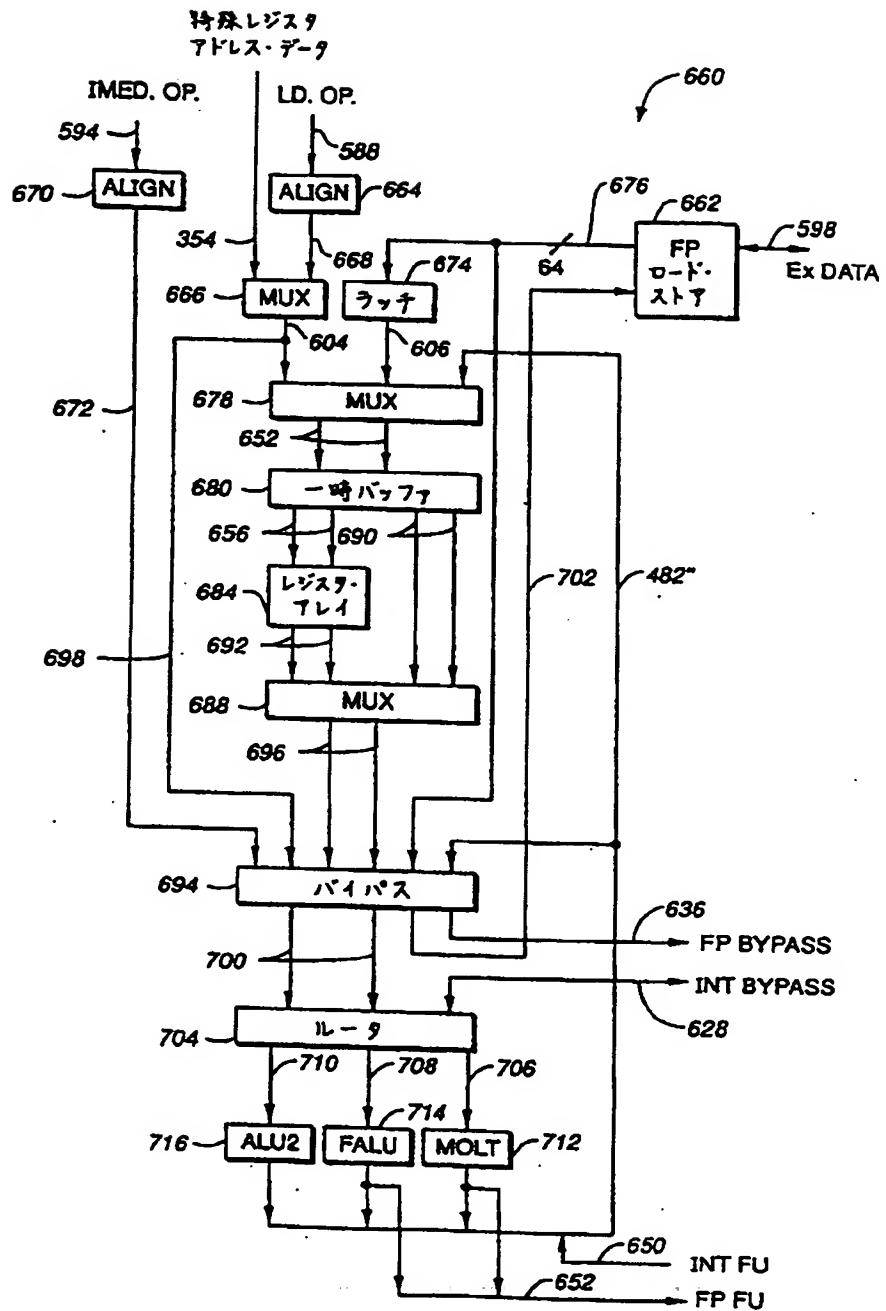
(49)

[図10]



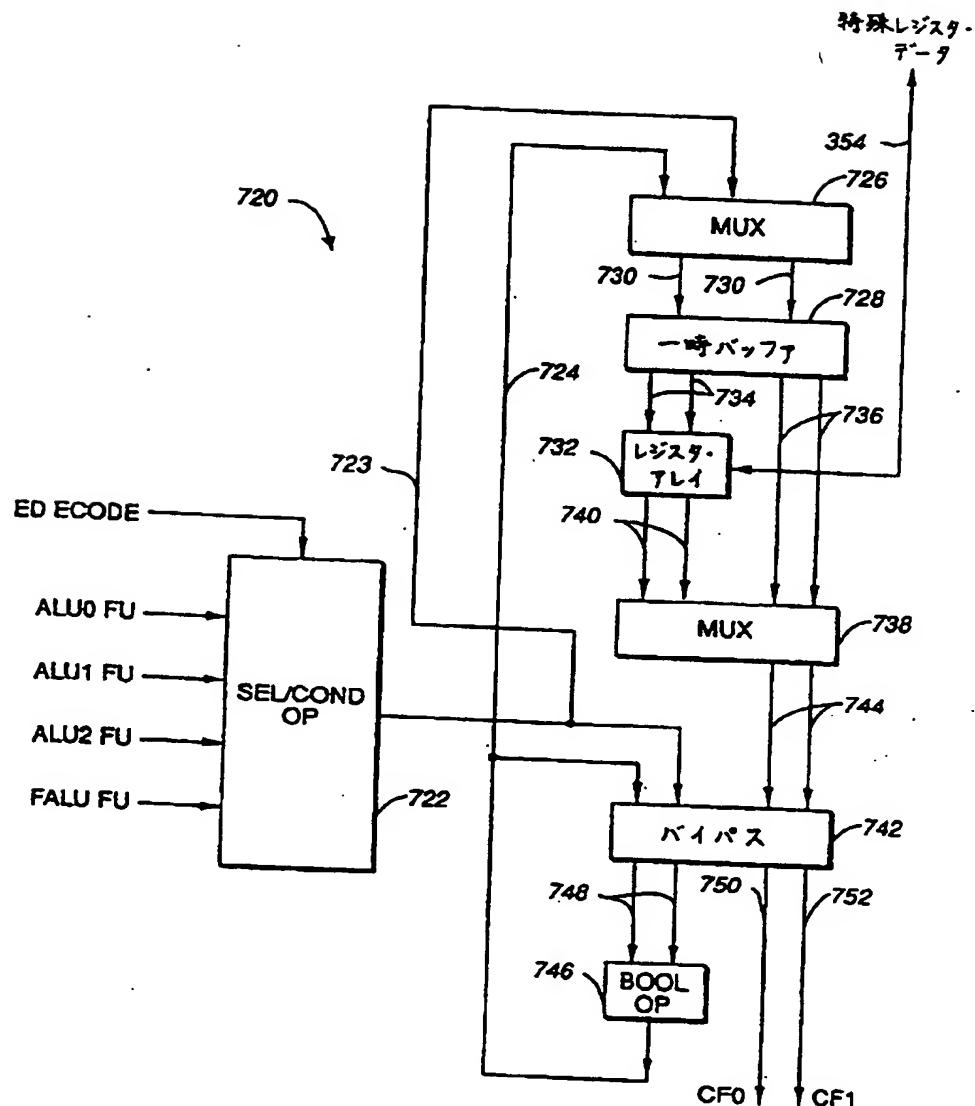
(50)

[図11]



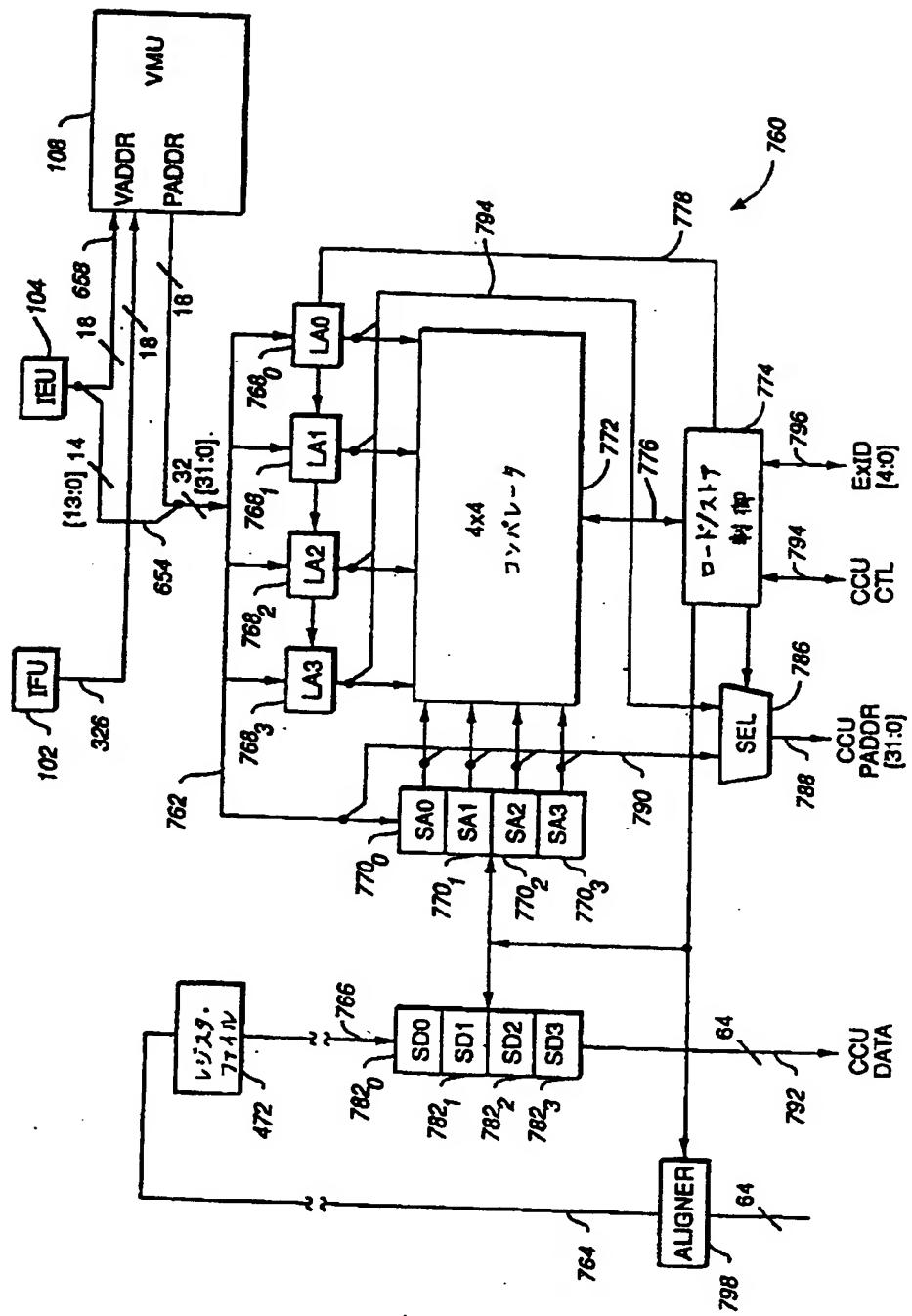
(51)

【図12】



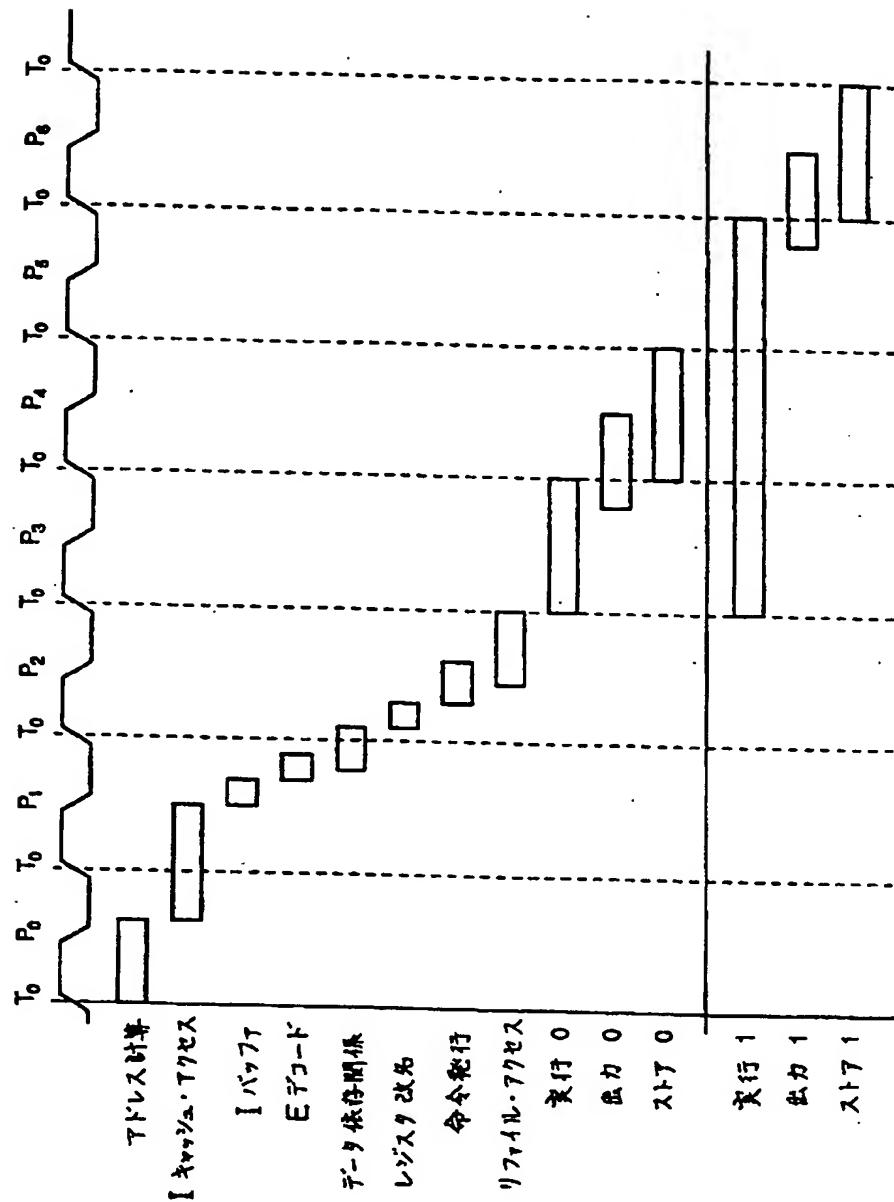
(52)

[図13]



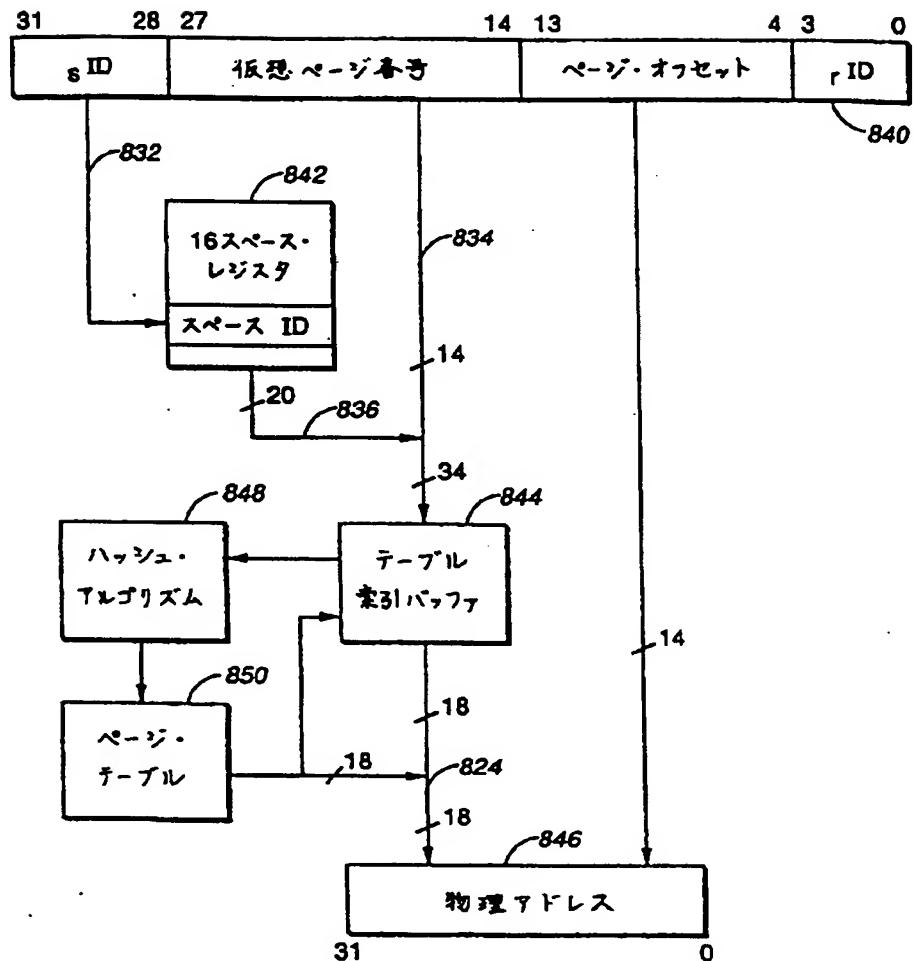
(53)

【図14】



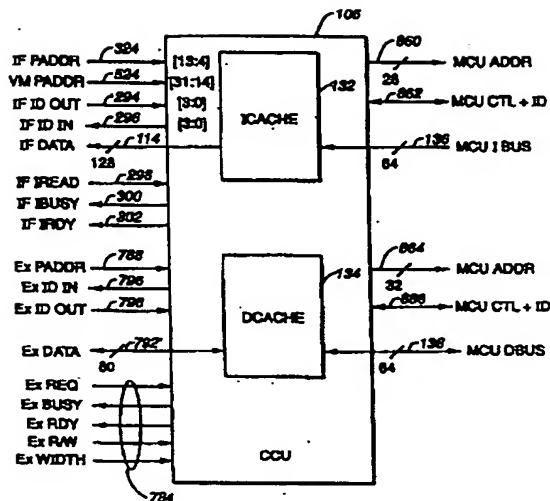
(54)

【図16】



(55)

【図17】



フロントページの続き

(72) 発明者 ミヤヤマ, ヨシユキ  
 アメリカ合衆国 95050 カリフォルニア  
 州 サンタ クララ ランチョ マコーミ  
 ツク ブールバード 2171

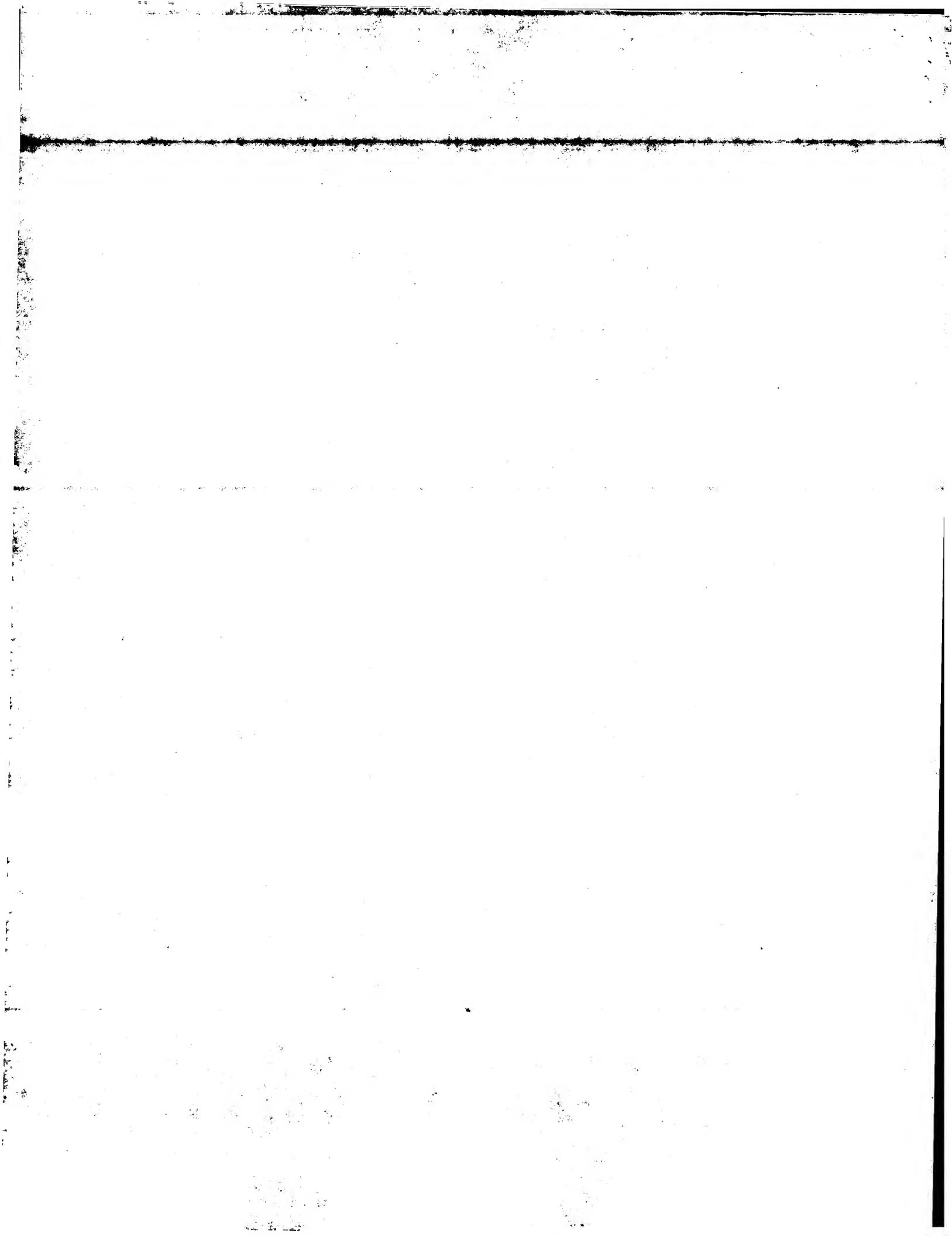
(72) 発明者 ガルグ, サンジブ  
 アメリカ合衆国 94539 カリフォルニア  
 州 フリーモント センティネル ドライ  
 ブ 46820

(72) 発明者 ハギワラ, ヤスアキ  
 アメリカ合衆国 95050 カリフォルニア  
 州 サンタ クララ モンロー ストリー  
 ト 2250 アパート 274

(72) 発明者 ワン, ジョハネス  
 アメリカ合衆国 94062 カリフォルニア  
 州 レッドウッド シティ キング スト  
 リート 25

(72) 発明者 ラウ, テーリ  
 アメリカ合衆国 94306 カリフォルニア  
 州 パロ アルト カレッジ アヴェニュ  
 ー 411 アパート イー

(72) 発明者 トラン, クワン エイチ  
 アメリカ合衆国 95130 カリフォルニア  
 州 サン ノゼ メイフィールド アヴェ  
 ニュー 2045



JAPANESE LAID-OPEN PATENT APPLICATION  
2000-353090(P2000-353090A)

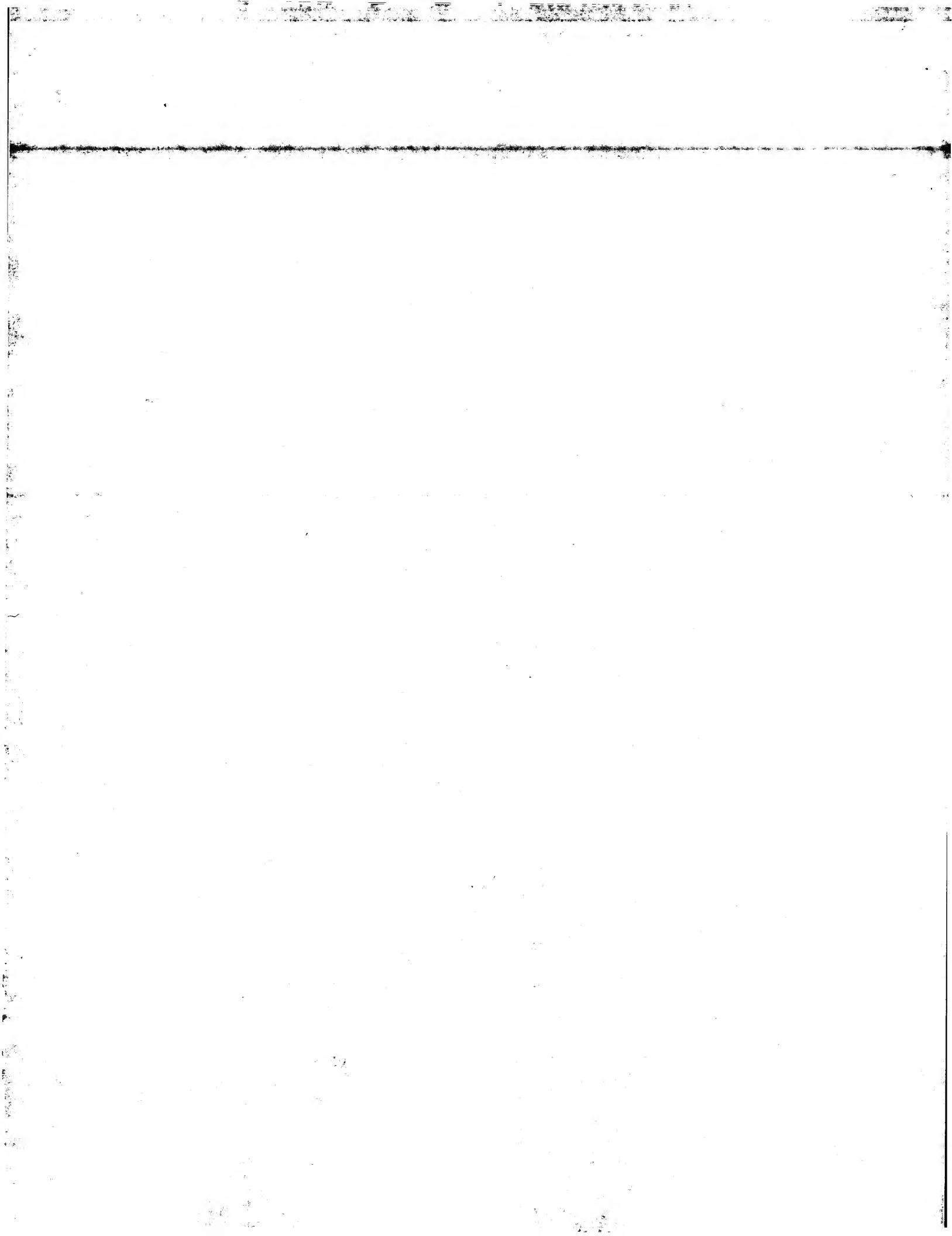
(19) Japan Patent Office (JP)	(11) Publication No. 2000-353090			
(12) Published Unexamined Patent Application (A)				
(43) Publication Date December 19, 2000				
(51) Int. Cl. 7	Identification Code	FI		
G 06 F 9/38	310	G06F	9/38	310F
	350			350A
	370			370X
9/30	350		9/30	350F
				350G
Examination request: done			Number of claims 3 (totally 55 pages)	

---

(54) Title of the Invention

HIGH PERFORMANCE, SUPERSCALAR-BASED COMPUTER SYSTEM

(21) Application No.	2000-145123(P2000-145123)
(62) Division of Application	JP Appl. No. H5-502150
(22) Date of Filing	July 7, 1992 (Heisei 4)
(33) Priority Claim	07/727,006
(32) Priority Date	July 8, 1991 (Heisei 3)
(33) Priority Country	The United States
(71) Applicant	Seiko Epson Corporation 4-1 Nishishinjuku 2-chome Shinjuku-ku Tokyo
(72) Inventor	NGUYEN, Le Trong 15096 Danielle Place, Monte Sereno, CA 95030 (US)
(72) Inventor	LENTZ, Derek, J. 17400 Phillips Avenue, Los Gatos, CA 95032 (US)
(72) Inventor	MIYAYAMA, Yoshiyuki 2171 Rancho McCormick Boulevard, Santa Clara, CA 95050 (US)
(72) Inventor	GARG, Sanjiv 46820 Sentinel Drive, Freemont, CA 94539 (US)
(72) Inventor	HAGIWARA, Yasuaki 2250 Monroe Street, Apt. 274, Santa Clara, CA 95050 (US)
(72) Inventor	WANG, Johannes 25 King Street, Redwood City, CA 94062 (US)



(72) Inventor LAU, Tei-Li  
411 College Avenue, Apt. E, Palo Alto, CA 94306 (US)

(72) Inventor TRANG, Quang, H.  
2045 Mayfield Avenue, San Jose, CA 95130 (US)

(74) Agent Masahiro HIRUKAWA, Attorney and 7 others

**[Claims]**

**[Claim 1]**

**A super scalar microprocessor in which a set of instructions including plural instructions is fetched from an instruction store, interpreted, and executed, wherein it comprises:**

**an instruction set acquisition means for acquiring a predetermined set of instructions to be executed including a register reference instruction;**

**a data store means for storing respective data in plural registers including a predetermined register and a temporary register; and**

**an execution means coupled to the instruction set acquisition means for sequentially executing the predetermined set of instructions, the means addressing the storage of data processed according to an instruction executed out of sequence to the temporary register and the register referred to by the instruction executed out of sequence refers to the predetermined register.**

**[Claim 2]**

**The super scalar microprocessor according to Claim 1 characterized by the fact that the execution means executes specific instructions out of sequence under the restriction of the carry – register dependencies.**

**[Claim 3]**

**The super scalar microprocessor according to Claim 1 characterized by the fact that the execution means has a retreat means for retreating plural preceding instructions concurrently in order to execute the plural instructions out of sequence.**

